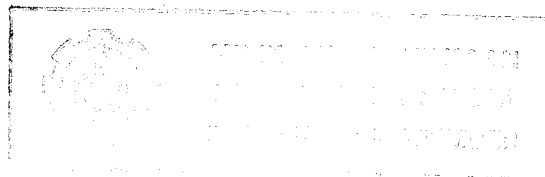


3100097008535

# ALAT PENDETEKSI AKTIFITAS OTOT (EMG) YANG DIINTERFACEKAN KE IBM PC - XT

PERPUSTAKAAN I T S	
Tgl. Terima	22 NOV 1994
Terima Dari	H
No. Agenda Prp.	4745

RSE  
621.398.1  
Mah  
a-1  
1994



OLEH :

IRIT MAHAJANTO

NRP. 2882201051

JURUSAN TEKNIK ELEKTRO  
FAKULTAS TEKNOLOGI INDUSTRI  
INSTITUT TEKNOLOGI SEPULUH NOPEMBER  
SURABAYA

1994

# **ALAT PENDETEKSI AKTIFITAS OTOT (EMG) YANG DIINTERFACEKAN KE KOMPUTER IBM PC – XT**

## **TUGAS AKHIR**

**Diajukan Guna Memenuhi Sebagian Persyaratan  
Untuk Memperoleh Gelar Sarjana Teknik Elektro  
Pada**

**Bidang Studi Elektronika  
Jurusan Teknik Elektro  
Fakultas Teknologi Industri  
Institut Teknologi Sepuluh Nopember  
Surabaya**

**Mengetahui / Menyetujui**

**Dosen Pembimbing I**



**Ir. Murdi Asmoroadji**

**Dosen Pembimbing II**



**Ir. M. Rivai**

**SURABAYA**

**Oktober, 1994**

## **ABSTRAK**

Dengan meningkatnya laju perkembangan teknologi khususnya dibidang elektronika dewasa ini maka sangat bermanfaat pada bidang medika dimana peralatan yang masih menggunakan ketepatan secara mekanik dapat digantikan dengan alat yang dapat mendeteksi secara digital sehingga efisiensi terhadap waktu, maupun ketepatan pengukuran dapat lebih diandalkan.

Untuk pengambilan data yang tepat berupa sinyal analog pada beberapa masukan secara cepat maka diperlukan rangkaian konversi dari analog ke digital yang dengan cepat dapat diandalkan ketelitiannya.

Demikian pula untuk menyimpan data yang telah diperoleh dari pengukuran tersebut dipergunakan direct memori access yang dengan cepat memindahkan data dari peralatan ke memori komputer.

Data ini kemudian diproses, direkam, dicetak maupun ditampilkan pada layar monitor komputer.

## **KATA PENGANTAR**

Dengan memanjatkan puji syukur kehadiran Allah Yang Maha Kuasa yang telah melimpahkan rahmatnya, sehingga penulis dapat menyelesaikan Tugas Akhir ini dengan judul:

### **ALAT PENDETEKSI AKTIFITAS OTOT (EMG) YANG DIINTERFACEKAN KE KOMPUTER IBM PC-XT.**

Tugas Akhir ini dilakukan untuk melengkapi syarat akademis untuk memperoleh gelar sarjana di Jurusan Teknik Elektro, Fakultas Teknologi Industri, Institut Teknologi Sepuluh Nopember Surabaya, dengan beban 6 SKS (Satuan Kredit Semester).

Dalam penyelesaian Tugas Akhir ini, penulis melakukan perencanaan dan pembuatan alat berdasarkan pada teori-teori yang penulis dapatkan selama kuliah, buku-buku referensi, bimbingan dosen dan pihak lain yang ikut memberikan dukungan dan dorongan.

Dalam kesempatan ini, penulis ingin menyampaikan terima kasih yang sebesar-besarnya kepada:

1. Bapak Ir. Murdi Asmoroedji, selaku Dosen Pembimbing I yang telah banyak memberi pengarahan, dorongan dan koreksi selama penulis menyelesaikan Tugas Akhir ini.
2. Bapak Ir. M. Rivai, selaku Dosen Pembimbing II yang telah banyak memberi bimbingan, dorongan dan pengarahan selama penulis menyelesaikan Tugas Akhir ini.

3. Bapak Ir. Soetikno, selaku koordinator Bidang Studi Elektronika.
4. Bapak Dr. Ir. Moch. Salehudin MEng.Sc, selaku Ketua Jurusan Teknik Elektro.
5. Semua pihak yang telah membantu terselesainya Tugas Akhir ini dan tidak mungkin kami sebutkan satu persatu.

Penulis menyadari bahwa Tugas Akhir ini jauh dari sempurna dan masih banyak yang harus dikoreksi dan diperbaiki. Untuk itu penulis mengharapkan saran-saran dari pembaca sekalian. Penulis berharap Tugas Akhir ini bermanfaat bagi pembaca. Kritik dan saran yang bersifat membangun akan penulis terima dengan hati lapang.

Surabaya, Oktober 1994

Penulis

## DAFTAR ISI

JUDUL .....	i
LEMBAR PERSETUJUAN .....	ii
ABSTRAK .....	iii
KATA PENGANTAR .....	iv
DAFTAR ISI .....	vi
DAFTAR GAMBAR .....	xi
DAFTAR TABEL .....	xii
BAB I PENDAHULUAN .....	1
I.1 LATAR BELAKANG .....	1
I.2 PERMASALAHAN .....	1
I.3 PEMBATAHAN MASALAH .....	2
I.4 TUJUAN .....	2
I.5 METODOLOGI .....	3
I.6 SISTEMATIKA PEMBAHASAN .....	4
I.7 RELEVANSI .....	4
BAB II TEORI PENUNJANG .....	5
II.1 PROSES DMA .....	5
II.1.1 TUJUAN UMUM .....	5
II.1.2 KONSEP DASAR DMA PADA IBM PC - XT .....	5

II.1.3 PEMAKAIAN DMA PADA IBM PC - XT . . . . .	7
II.1.4 CARA PENGOPERASIAN DMA . . . . .	8
II.1.5 INISIALISASI DMA CONTROLLER 8237-5 PADA IBM PC - XT . . . . .	9
II.1.6 REGISTER DMA CONTROLLER . . . . .	10
II.1.7 DMA PAGE REGISTER . . . . .	20
II.1.8 KECEPATAN TRANSFER DMA MAKSIMUM . . . . .	21
II.2 ORGANISASI KOMPUTER IBM PC - XT . . . . .	21
II.2.1 ORGANISASI MEMORY PADA KOMPUTER IBM PC-XT . . . . .	21
II.2.2 SLOT PADA IBM PC - XT . . . . .	22
II.3 DATA ACQUISITION . . . . .	24
II.3.1 ELEMENT - ELEMENT PENUNJANG DATA ACQUISITION . . . . .	24
II.3.2 RANGKAIAN SAMPLE - HOLD . . . . .	27
II.3.2.1 OPERASI SAMPLE - HOLD . . . . .	27
II.3.2.2 SPESIFIKASI PENGUAT SAMPLE - HOLD . . . . .	28
II.4 KONVERSI ANALOG - DIGITAL . . . . .	30
II.4.1 JENIS - JENIS ADC . . . . .	30
II.4.2 ADC SUCCESSIVE APPROXIMATION . . . . .	32
II.4.3 SPESIFIKASI ADC . . . . .	33
II.4.4 KONVERTER ANALOG KE DIGITAL AD574 . . . . .	36

II.4.5 PENGONTROLAN AD574 . . . . .	39
II.4.6 PEWAKTUAN SIKLUS BACA . . . . .	40
II.5 SINYAL LISTRIK DARI OTOT . . . . .	41
 BAB III PERENCANAAN . . . . .	 50
III.1 PERENCANAAN HARDWARE . . . . .	50
III.1.1 PERENCANAAN PENGOLAH SINYAL ANALOG . . . . .	50
III.1.1.1 PENGUAT INSTRUMENSI . . . . .	51
III.1.1.2 PENAMBAHAN TEGANGAN OFFSET . . . . .	52
III.1.1.3 FILTER LOW PASS . . . . .	53
III.1.1.4 RANGKAIAN PROTEKSI . . . . .	54
III.1.2 KONVERTER ANALOG DIGITAL . . . . .	55
III.1.2.1 MULTIPLEX ANALOG . . . . .	56
III.1.2.2 PENGUAT SAMPLE HOLD . . . . .	59
III.1.2.3 UNIT ADC, TIMING . . . . .	61
III.1.2.4 PEMBANGKIT SAMPLING RATE . . . . .	65
III.1.3 PEMBANGKIT DAN DECODING DMA . . . . .	67
III.1.3.1 PEMBANGKIT DRQ3 . . . . .	67
III.1.3.2 DECODING DMA . . . . .	68
III.1.3.3 STIMULUS . . . . .	69
III.2 PERENCANAAN SOFTWARE . . . . .	69
III.2.1 INISIALISASI PROGRAM . . . . .	70



BAB IV PENGUJIAN DAN PENGUKURAN .....	74
IV.1 PEMBUATAN DAN PENGUJIAN .....	74
IV.2 PENGUKURAN DAN KALIBRASI .....	75
IV.2.1 PENGUKURAN DAN KALIBRASI PENGOLAH	
SINYAL ANALOG .....	75
IV.2.2 PENGUKURAN DAN KALIBRASI CARD ADC .....	77
 BAB V PENUTUP .....	 81
V.1 KESIMPULAN .....	81
V.2 SARAN - SARAN .....	81
 DAFTAR PUSTAKA .....	 83
LAMPIRAN .....	
SKEMA LENGKAP MODUL ADC .....	
SKEMA LENGKAP PENGOLAH SINYAL ANALOG .....	
RIWAYAT HIDUP .....	

## DAFTAR GAMBAR

Gambar . . . . .	Halaman
2.1 Blok Diagram Operasi DMA Controller . . . . .	6
2.2 Diagram Waktu Proses DMA Dari I/O Ke Memori . . . . .	7
2.3 Command Register . . . . .	12
2.4 Request Register . . . . .	13
2.5 Single-Mask Bit Register . . . . .	14
2.6 Mode Register . . . . .	15
2.7 Write All Mask Register . . . . .	18
2.8 Status Register . . . . .	19
2.9 Penguat Sample-Hold . . . . .	29
2.10 Sumber Kesalahan Pada Penguat Sample Hold . . . . .	31
2.11 Pewaktuan Internal penguat Sample-Hold . . . . .	32
2.12 Diagram Blok Konverter Analog-Digital Successive Aproximation . .	34
2.13 Fungsi Transfer ADC 3-Bit Ideal . . . . .	35
2.14 Kesalahan Penguatan Pada ADC 3-Bit . . . . .	37
2.15 Kesalahan Offset Pada ADC 3-Bit . . . . .	37
2.16 Kesalahan Linieritas Pada ADC 4-Bit . . . . .	38
2.17 Hubungan Unipolar AD574 . . . . .	38
2.18 Pewaktuan Start Konversi . . . . .	40
2.19 Pewaktuan Siklus Baca . . . . .	41
2.20 Aktifitas Potensial Pada Cell Otot Tunggal . . . . .	42

2.21 Type EMG Dari 2 Type Elektrode . . . . .	43
2.22 Contoh Pengukuran EMG . . . . .	44
2.23 Penggabungan Dari Konstraksi Otot Yang Berbeda . . . . .	45
2.24 EMG Dari Sinyal Stimulus . . . . .	46
2.25 Kondisi Otot Pada Bayi Saat Reflek . . . . .	47
2.26 Mengukur Masing-masing Respon Dari Periode Terakhir . . . . .	48
2.27 Mengukur Kecepatan Hantar Otot . . . . .	48
3.1 Diagram Blok Pengolah Sinyal Analog . . . . .	50
3.2 Penguat Instrumentasi . . . . .	52
3.3 Penambah Tegangan Offset . . . . .	53
3.4 Filter Low Pass . . . . .	54
3.5 Rangkaian Proteksi . . . . .	55
3.6 Diagram Blok Card ADC . . . . .	57
3.7 Multiplexer Analog Delapan Input . . . . .	59
3.8 Penguat Sample And Hold . . . . .	60
3.9 Pewaktuan AD574 Pada Mode Stand Alone . . . . .	62
3.10 ADC AD574 Dan Komponen Pendukungnya . . . . .	63
3.11 Rangkaian Timing Untuk Pembangkit Sinyal Hold Dan Start Konversi AD574 . . . . .	64
3.12 Diagram Waktu Dari Rangkaian Timing . . . . .	65
3.13 Pembangkit Sampling Rate . . . . .	67
3.14 Pembangkit DRQ3 . . . . .	68
3.15 Decoding DMA . . . . .	69

3.16 Flowchart Program Utama . . . . .	73
4.1 Pengukuran Penguatan Modul Pengolah Sinyal Analog . . . . .	76
4.2 Pengukuran Noise Modul Pengolah Sinyal Analog . . . . .	76
4.3 Pengukuran CMRR Modul Pengolah Sinyal Analog . . . . .	77
4.4 Pengukuran Bandwidth Modul pengolah Sinyal Analog . . . . .	78
4.5 Pengukuran Linieritas . . . . .	79
4.6 Pengukuran Noise Dan Offset Card ADC . . . . .	79



## DAFTAR TABEL

Tabel . . . . .	Halaman
2.1 Address Dan Fungsi Dari DMA Controller . . . . .	11
2.2 Address Dan Counter Tiap Channel DMA . . . . .	20
2.3 Peta Memory ABM PC - XT . . . . .	25
2.4 Table Kebenaran Untuk Input Kontrol AD574 . . . . .	40
4.1 Tabel Pengukuran ADC (I) . . . . .	80

## **B A B II**

### **TEORI PENUNJANG**

#### **II.1 PROSES DMA**

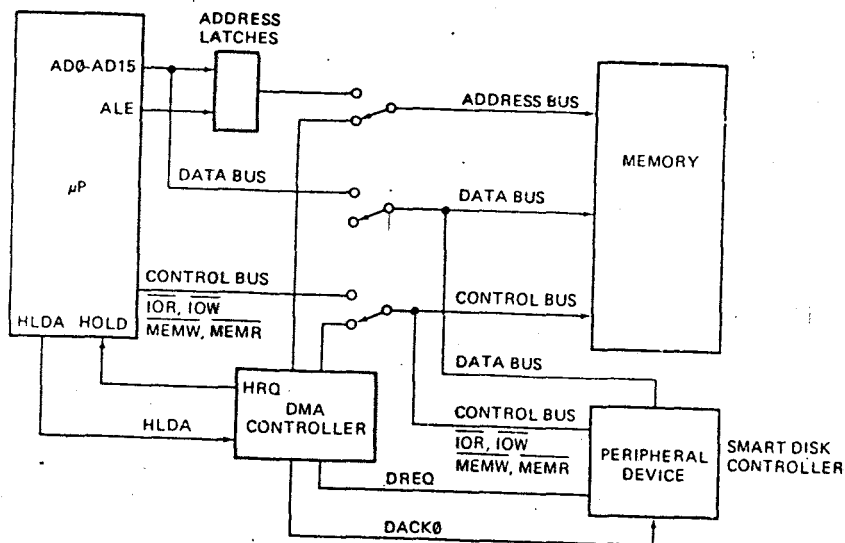
##### **II.1.1 TINJAUAN UMUM**

Banyak aplikasi interface dewasa ini yang membutuhkan kecepatan transmisi data yang cukup tinggi. Oleh karena itu sudah tidak dapat lagi dipergunakan LOOP-oleh software berikut instuksi-instruksi I/O yang mengakibatkan delay yang cukup lama. Salah satu contohnya adalah Diskette Drive Adapter yang melakukan pengiriman dan penerimaan data dengan kecepatan yang tinggi, sehingga sulit bagi komputer untuk melayaninya bersamaan dengan peralatan-peralatan lain seperti keyboard.

Untuk mengatasi masalah itu, komputer menyediakan suatu fungsi khusus yaitu: **Direct Memory Access (DMA)**. Disebut demikian karena dengan fungsi ini, maka suatu peralatan I/O dapat langsung mengirimkan datanya ke memory dan sebaliknya tanpa melewati mikroprosesor. Fungsi DMA ini dilakukan oleh peralatan DMA Controller yang ada pada IBM PC berupa IC DMA Controller 8237-5.

##### **II.1.2 KONSEP DASAR DMA PADA IBM PC**

Selama pelaksanaan program secara normal, sistem bus termasuk address dan kontrol diatur oleh mikroprosesor 8088. Ketika interface hendak melakukan transmisi data menggunakan DMA, maka interface tersebut mengirimkan sinyal

Gambar 2.1<sup>1</sup>

## BLOK DIAGRAM OPERASI DMA CONTROLLER

DMA request ke DMA Controller. DMA Controller akan mengatur prioritas dari permintaan DMA tersebut, kemudian memberikan sinyal Hold ke mikroprosesor 8088. Pada akhir cycle, MPU 8088 tidak lagi mengontrol bus system, dan akan segera mengirimkan sinyal Hold Acknowledge ke DMA Controller, yang menandakan bahwa bus system sudah bebas. Kemudian DMA Controller segera mengambil alih kontrol bus system, dan melakukan pemindahan data antara interface dengan memory. Segera setelah perpindahan data selesai dilakukan maka MPU 8088 kembali mengambil alih bus system dan melanjutkan pelaksanaan program.

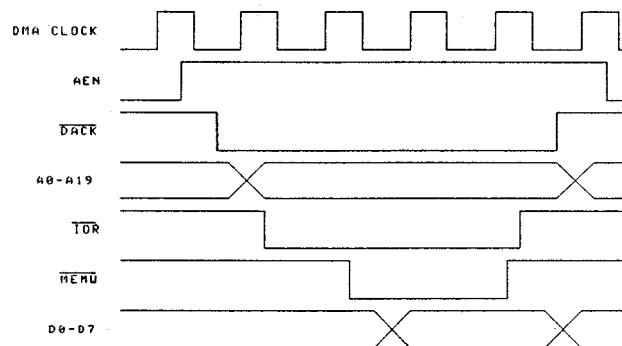
Dari penjelasan diatas terlihat bahwa proses DMA hanya berupa

<sup>1</sup>Hall, Dauglas V., Microprosesor And Interfacing, hal 363

perpindahan data. Jadi DMA Controller hanya berfungsi mengatur arah perpindahan data, address memory yang dipakai, dan proses perpindahan data tersebut dalam satu siklus. Pada gambar 2.1 ini diberikan diagram waktu untuk suatu siklus DMA yang dilakukan untuk memindahkan data dari I/O ke memory.

### II.1.3 PEMAKAIAN DMA PADA IBM PC-XT

IBM PC-XT menggunakan IC DMA Controller 8237-5 yang memiliki fasilitas 4 channel DMA. Berikut ini diberikan susunan keempat channel tersebut berdasarkan prioritasnya sekaligus fungsinya dalam IBM PC-XT. Susunan diberikan dari prioritas tertinggi sampai prioritas yang paling rendah.



Gambar 2.2<sup>2</sup>

#### DIAGRAM WAKTU PROSES DMA DARI I/O KE MEMORY

Channel 0 : Dipakai untuk memory refresh

Channel 1 : Belum dipakai

Channel 2 : Dipakai untuk Disk Drive Adapter

<sup>2</sup>C. Eggebrecht, Lewis, Interfacing to The IBM Personal Computer, Welborn Associates, 1987, hal. 67



Channel 3 : Belum dipakai

#### II.1.4 CARA PENGOPERASIKAN DMA

Prosedur untuk mengoperasikan DMA pada IBM PC-XT adalah sebagai berikut:

1. Sebelum untuk DMA dapat dijalankan, IC Controller 8237-5 harus diinisialisasi terlebih dahulu. Inisialisasi yang diberikan melalui beberapa pokok yang harus ditentukan seperti diberikan dibawah ini:

- Arah perpindahan data dari memory ke I/O atau sebaliknya
- Cara perpindahan data: sekelompok byte atau satu byte
- Jumlah byte yang ditransfer
- Prioritas channel yang dipakai
- Address memory awal untuk perpindahan data
- Mengaktifkan enable untuk channel yang dipakai.

Inisialisasi ini dapat dilakukan dengan cara mengisi control word dari IC 8237-5

2. Interface kemudian mengirimkan sinyal DRQ ke IC Controller 8237-5 yang menandakan bahwa akan dilakukan perpindahan data untuk suatu channel tertentu.
3. IC 8237-5 mengirimkan permintaan *Hold* ke MPU 8088, sebelum melakukan pemindahan data dan akan menunggu sampai mendapat tanda bahwa bus system sudah bisa dipakai.
4. Begitu bus system sudah dalam keadaan pasif, MPU 8088 segera

- mengirimkan sinyal *Holda* (Hold Acknowledge) sebagai tanda, dan 8237-5 akan segera mengirimkan *DMA Acknowledge* ke interface. Ini merupakan petunjuk bagi interface bahwa transfer data sudah siap dimulai.
5. Sinyal DMA Acknowledge ini dipakai interface untuk mengaktifkan (enable) perpindahan data. Sedangkan Perpindahan data itu sendiri akan dikontrol oleh IC 8237-5 dengan menggunakan MEMR, MEMW, IOR, IOW sesuai dengan transfer data yang dilakukan. Jika diinginkan perpindahan data dari I/O ke memory, maka DMA Controller akan menggunakan IOR dan MEMW. Sedangkan untuk perpindahan data dari memory ke I/O akan dipergunakan MEMR dan IOW.
  6. Begitu interface menerima sinyal DMA Acknowledge, segera sinyal DRQ (DMA Request) tidak lagi diberikan pada DMA Controller. Setelah perpindahan data selesai dilakukan IC DMA Controller akan segera menghentikan permintaan Hold ke MPU 8088.

### **II.1.5 INISIALISASI DMA CONTROLLER 8237-5 PADA IBM PC-XT**

IC DMA Controller 8237-5 memiliki 16 register yang dapat dibaca atau ditulis melalui I/O port. Oleh IBM PC-XT addressnya adalah 00h sampai 0Fh. Address port ini dibagi menjadi dua kelompok. Address 00h sampai 07h adalah register yang dapat dibaca dan ditulis yang berisi address memory untuk awal proses DMA.

Kelompok address 08h sampai 0Fh adalah register control dan status yang menentukan jenis operasi dari tiap channel. Berikut ini diberikan tabel register

control dan status untuk DMA pada IBM PC-XT.

Selanjutnya akan dijelaskan satu-persatu semua register DMA Controller mulai dari DMA control register, lalu DMA status register.

## II.1.6 REGISTER-REGISTER DMA CONTROLLER

### ■ *Command Register*

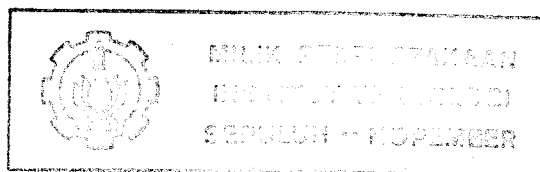
Pengisian command register dilakukan dengan mengirim data ke I/O Port Address 0008h. Berikut ini digambarkan tentang fungsi-fungsi dari tiap bit pada command register.

*Bit 0* memungkinkan operasi dari memory ke memory. Jika fungsi ini dipilih maka channel 0 dan channel 1 dipakai untuk menunjukkan dua block memory yang akan digunakan pada saat transfer data. Fungsi ini tidak dapat dipakai pada IBM PC-XT, karena channel 0 dipakai untuk refresh memory.

*Bit 1* digunakan untuk menentukan terjadi atau tidaknya pengurangan atau penambahan pada channel 0. Ini memungkinkan pengisian suatu nilai byte tertentu dari memory kesuatu block memory. Fungsi ini tidak dapat dipakai pada IBM PC-XT, karena pemindahan dari memory ke memory tidak berfungsi.

*Bit 2* dipakai untuk mengaktifkan (enable) DMA Controller.

*Bit 3* dipergunakan untuk mengurangi cycle DMA. Pada timing yang normal cycle DMA membutuhkan 5 pulsa clock, sedangkan jika dikurangi menjadi 3 pulsa clock. Karena pengurangan ini melampaui batas access time dari memory dan I/O maka fungsi ini juga tidak boleh dipakai pada IBM PC-XT.



Tabel 2.1<sup>3</sup>

## ADDRESS DAN FUNGSI DARI DMA CONTROLLER

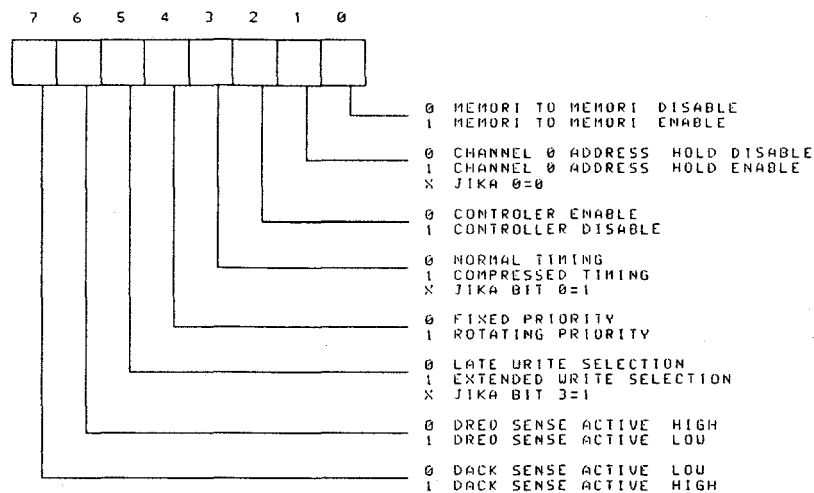
Address status DMA (hex)	Fungsi
0008	Status Register
0009	Tidak dipakai
000A	Tidak dipakai
000B	Tidak dipakai
000C	Tidak dipakai
000D	Register sementara
000E	Tidak dipakai
000F	Tidak dipakai

Address control DMA (hex)	Fungsi
0008	Commmand Register
0009	Request Register
000A	Singgle-mask Register
000B	Mode Register
000C	Clear byte pointer F - F
000D	Master Clear
000E	Clear Mask Register
000F	Write all Mask Register

*Bit 4* berfungsi menentukan apakah prioritas yang dipergunakan pada tiap channel tetap atau dapat begeser. Mode ini tidak boleh dipilih berotasi, karena pada IBM PC-XT channel 0 yang digunakan untuk memory refresh harus selalu

---

<sup>3</sup>Ibid hal. 105

Gambar 2.3<sup>4</sup>

## COMMAND REGISTER

memiliki prioritas tertinggi.

*Bit 5* dipakai untuk menentukan awal sinyal write pada siklus DMA. Pada IBM PC-XT harus dipilih *late write*, karena jika sinyal write muncul lebih awal maka data yang masuk ke RAM menjadi tidak benar.

*Bit 6* akan menentukan level aktif dari sinyal DREQ yang diterima controller. IBM PC-XT menentukan aktif high untuk sinyal DREQ tersebut.

*Bit 7* digunakan untuk menentukan level aktif dari sinyal DACK yang dihasilkan oleh DMA Controller. IBM PC-XT menentukan aktif low untuk sinyal DACK ini. Berdasarkan uraian tersebut, maka terlihat bahwa pemakai tidak bisa mengubah nilai-nilai bit yang ditentukan oleh IBM PC-XT. Command Register ini diinisialisasi dengan nilai 00h oleh IBM PC-XT.

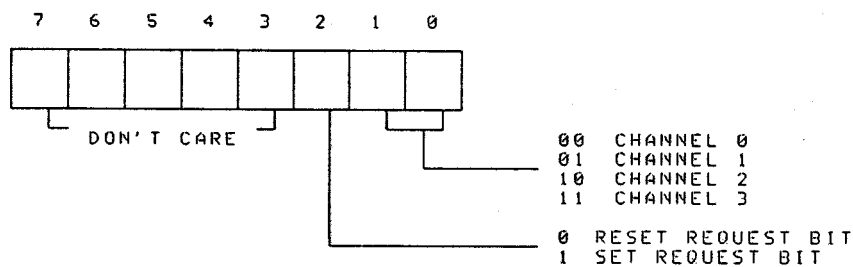
<sup>4</sup>Ibid hal. 106

### ■ Request Register

Register ini dipakai untuk menghasilkan DMA request dari software. Untuk menghasilkan DMA request, maka request bit harus diberi 1 (set). Address dari register ini adalah 0009h. Fungsi dari tiap-tiap bit untuk register ini diberikan pada gambar dibawah ini.

### ■ Single-Mask Bit Register

Register ini memiliki port address 000Ah dan dipergunakan untuk menentukan aktif atau tidaknya DMA untuk suatu channel tertentu. Untuk mengaktifkan DMA maka mask bit harus diberi 0 (clear)



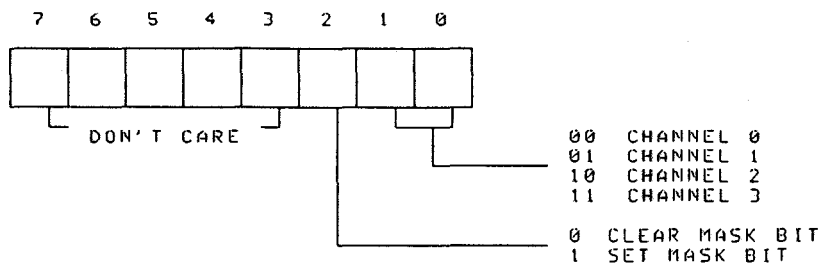
Gambar 2.4<sup>5</sup>

### REQUEST REGISTER

### ■ Mode Register

Register dengan port address 000Bh ini menentukan mode operasi DMA untuk suatu channel tertentu. Ringkasan fungsi tiap-tiap bit diberikan pada gambar 2.6

<sup>5</sup>Ibid hal. 108

Gambar 2.5<sup>6</sup>

## SINGLE-MASK BIT REGISTER

Fungsi-fungsi dari tiap bit tersebut adalah sebagai berikut:

*Bit 0 dan 1* dipergunakan untuk memilih channel mana yang akan ditentukan mode operasi DMAnya.

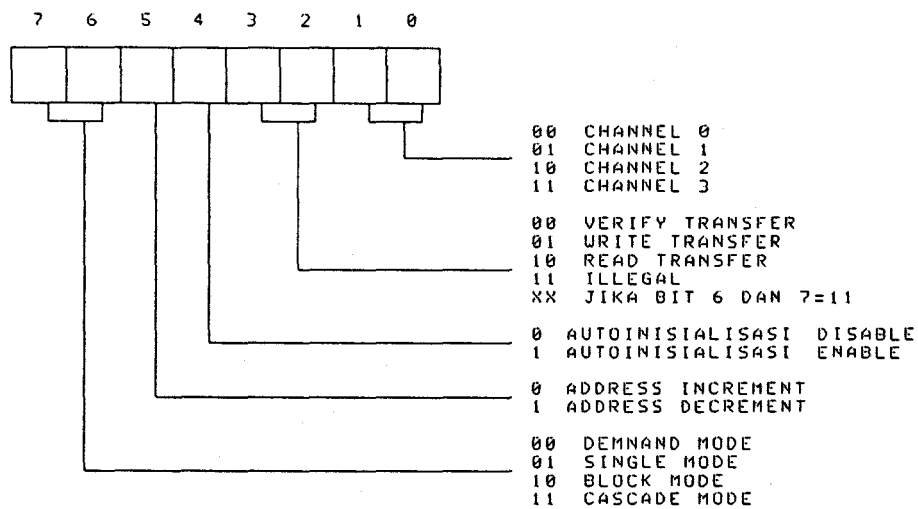
*Bit 2 dan 3* menentukan jenis siklus DMA yang dipilih untuk channel tersebut. Pilihannya adalah:

1. Operasi verify yang melakukan siklus DMA tanpa pembacaan atau penulisan data ke memory. System memory refresh pada IBM PC-XT menggunakan siklus DMA dengan operasi verify.
2. Operasi write yang melakukan perpindahan data dari I/O ke memory.
3. Operasi read yang memindahkan data dari memory ke I/O interface.

*Bit 4* dipakai untuk menentukan suatu proses DMA akan diinisialisasi secara otomatis (sehingga dapat berulang terus) atau menunggu inisialisasi dari program. Jika bit 4 ini diisi 1 (enable), maka begitu suatu proses DMA selesai dilakukan maka register-register address memory kembali diinisialisasi dan proses

---

<sup>6</sup>Ibid hal. 108

Gambar 2.6<sup>19</sup>

## MODE REGISTER

DMA langsung diulang lagi dan begitu seterusnya.

*Bit 5* menentukan apakah register address akan ditambah 1 (increment) atau dikurangi 1 (decrement) setiap kali selesai memindahkan 1 byte data.

*Bit 6 dan 7* merupakan penentu jenis operasi DMA untuk suatu channel yang telah ditentukan. Ada 4 mode operasi yang disediakan oleh DMA Controller.

1. **Mode Single Transfer.** Pada mode ini sinyal DREQ harus diberikan untuk tiap byte data yang dipindahkan. Jika DREQ diaktifkan terus-menerus, maka controller memberikan satu cycle pada MPU 8088 untuk tiap satu DMA cycle.

2. **Mode Block Transfer.** Hanya satu sinyal DREQ yang diberikan maka seluruh

<sup>19</sup>Ibid hal. 109



byte data akan dipindahkan. Selama ini MPU 8088 tidak menjalankan satu cyclepun. Oleh karena itu mode ini tak dapat dipakai di IBM PC-XT, karena adanya memory refresh dan transfer data diskette yang tidak bisa dijalankan dalam mode ini.

3. **Mode Demand Transfer.** Mode ini dapat berfungsi seperti Mode Single Transfer atau Mode Block Transfer. Jika sinyal DREQ diberikan berulang-ulang pada tiap cycle DMA, maka fungsinya seperti Mode Single Transfer. Tetapi jika DREQ sinyal diaktifkan terus-menerus maka semua data akan dipindahkan tanpa menjalankan cyclenya.

4. **Mode Cascade.** Fungsi mode ini untuk memungkinkan memperbanyak jumlah channel dengan menambahkan satu lagi DMA Controller pada channel yang memiliki mode operasi Cascade.

#### ■ *Clear Byte Pointer Flip-Flop*

Address dari flip-flop ini adalah 000Ch. Flip-flop ini di'*clear*' dengan memberi sinyal write ke address poort 000Ch tersebut. Data yang dikirim diabaikan. Flip-flop ini merupakan pointer yang menunjuk ke high byte atau low byte dari 16 bit address untuk DMA. Jika flip-flop ini di'*clear*', maka pembacaan/penulisan selanjutnya akan membaca/menulis low byte dari 16 bit address tersebut. Selanjutnya flip-flop akan berfungsi toggle, yaitu pembacaan/penulisan selanjutnya membaca/menulis high byte dari 16 bit address memorynya.

### ■ *Master Clear*

Seperti halnya dengan Clear Byte Pointer Flip-flop, maka tidak diperlukan data untuk address port Master Clear. Fungsi dari Master Clear ini adalah membersihkan semua isi register pada controller, sehingga dibutuhkan inisialisasi lagi setelah perintah ini diberikan. Address portnya adalah 000Dh.

### ■ *Clear Mask Register*

Address port ini adalah 000Eh. Sekali lagi, data yang dikirim tidak menjadi soal tetapi dengan menulis data ke address port tersebut, maka register mask untuk semua channel DMA *direset*. Dengan demikian mengaktifkan (enable) semua channel DMA.

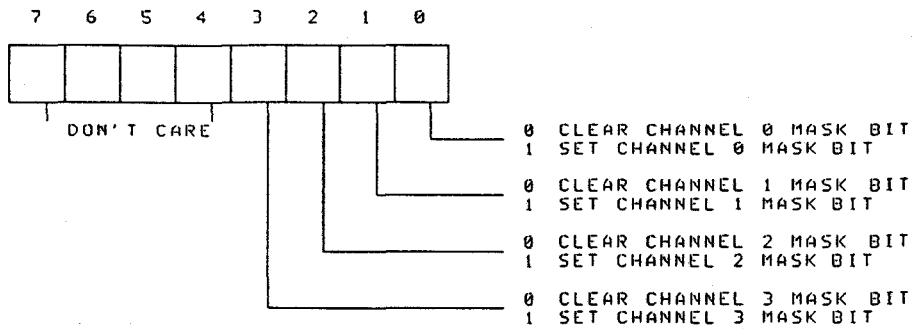
### ■ *Write All Mask Register*

Register ini mempunyai address port 000Fh, dan dipergunakan untuk secara serentak menentukan mask-bit untuk tiap channel DMA. Ini memungkinkan pengaktifan dua channel DMA atau lebih secara serentak. Gambar berikut menunjukkan fungsi tiap-tiap bit dari register ini.

### ■ *Status Register*

Status dari DMA Controller dapat dilihat dengan membaca data dari address port 0008h. Register ini memberikan petunjuk, apakah suatu channel sudah mencapai Terminal Count (Akhir proses DMA), juga menunjukkan permintaan DMA dari suatu channel tertentu. Pada gambar 2.8 akan diberikan

ringkasan fungsi dari tiap bit status register tersebut.



Gambar 2.7<sup>20</sup>

#### WRITE ALL MASK REGISTER

#### ■ *Temporary Register*

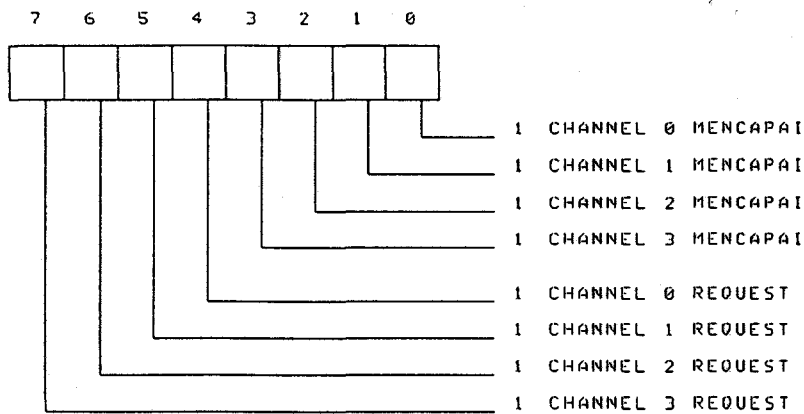
Setelah operasi pemindahan data dari memory ke memory dilakukan, maka nilai byte yang terakhir dipindahkan tersimpan dalam tegister ini. Register ini memiliki address port 000Dh. Karena IBM PC-XT tidak dapat melakukan DMA dari memory ke memory, maka register ini tidak dipakai.

#### ■ *Address dan Counter Register*

Register address dan counter untuk tiap channel memiliki address 0000 sampai 0007h, dengan perincian seperti tabel 2.2.

Walaupun register Address dan Counter untuk tiap channel adalah register

<sup>20</sup>Ibid hal. 112

Gambar 2.8<sup>21</sup>

## STATUS REGISTER

16 bit, tetapi data yang dikirimkan ke register tersebut pada satu saat adalah data 8 bit. Sehingga untuk mengirimkan secara lengkap data 16 bit, harus dikirimkan terlebih dahulu low byte data tersebut, baru kemudian high bytenya. Untuk menyakinkan bahwa pointer flip-flop menunjuk ke low byte pada saat akan dikirim data low byte tersebut, maka dapat diberikan Clear Byte Pointer Flip-flop pada address port 000Ch.

Adapun fungsi dari address register adalah menentukan address awal memory pada saat proses DMA akan dilakukan. Sedangkan counter register menentukan jumlah byte data yang akan dipindahkan pada proses DMA tersebut. Jika mode autoinisialisasi dipergunakan, maka setelah seluruh byte dipindahkan proses DMA akan diulang lagi dengan menggunakan nilai awal address dan counter yang telah ditentukan sebelumnya. Jika register address dan counter

---

<sup>21</sup>Ibid hal. 113

tersebut dibaca, maka akan didapat address memory saat perpindahan data sedang

Tabel 2.2<sup>22</sup>

ADDRESS DAN COUNTER TIAP CHANNEL DMA

Address (hex)	Fungsi
0000 0001	Address channel 0 Counter channel 0
0002 0003	Address channel 1 Counter channel 1
0004 0005	Address channel 2 Counter channel 2
0006 0007	Address channel 3 Counter channel 3

terjadi dan jumlah byte yang masih akan dibaca. Pada akhir proses DMA maka jumlah byte yang akan dibaca menjadi nol, dan address memory menunjuk ke address terakhir yang mengalami perpindahan data. Seperti halnya saat penulisan data, maka pada pembacaan data ini juga harus dilakukan dua kali, yaitu untuk low byte dan untuk high byte.

### II.1.7 DMA PAGE REGISTER

IC DMA Controller 8237-5 hanya menyediakan address 16 bit, sehingga hanya dapat melakukan transfer data 65536 byte. Karena MPU 8088 menyediakan memory 1 megabyte penuh, maka untuk melakukan transfer data diperlukan tambahan 4 bit lagi. Untuk mengatasi hal ini IBM PC-XT menyediakan 4 bit page

---

<sup>22</sup>Ibid hal. 114

register untuk DMA channel 1, 2, dan 3. Isi dari page register ini dapat dibaca dan ditulis melalui I/O port. Dengan tambahan 4 bit ini, maka DMA dapat dilakukan diseluruh lokasi memory yang dimiliki IBM PC-XT, dimana untuk tiap proses DMA maksimum dapat dipindahkan 64 kbyte data.

### **II.1.8 KECEPATAN TRANSFER DMA MAKSIMUM**

Tiap cycle DMA membutuhkan lima clock MPU, tetapi IBM PC-XT secara otomatis memasukkan satu tambahan clock sebagai wait state. Ini dilakukan untuk menyakinkan access time yang cukup bagi memory dan I/O. Karena tiap clock memiliki panjang waktu 210 ns, maka seluruh cycle DMA tersebut membutuhkan waktu 1,26  $\mu$ s. Selain ituu IBM PC-XT hanya memungkinkan pemakaian DMA dengan mode single-byte transfer, yang berarti tiap DMA cycle harus ada cycle MPU 8088. Cycle MPU 8088 terdiri dari 4 clock, atau 840 ns, sehingga total waktunya merupakan penjumlahan cycle MPU 8088 ini dengan cycle DMA tersebut. Jadi waktu minimum antara tiap DMA cycle haruslah sebesar 2,1  $\mu$ s. Ini membuat IBM PC-XT memiliki kecepatan transfer data maksimum untuk DMA sebesar 476 kbyte tiap detik.

## **II.2 ORGANISASI KOMPUTER IBM PC-XT**

### **II.2.1 ORGANISASI MEMORY PADA KOMPUTER IBM PC-XT**

IBM PC-XT memiliki RAM sebesar 640 kbyte yang terletak antara 00000h sampai 9FFFFh. Sisa dari keseluruhan memeory sebesar 1 Mbyte dipergunakan untuk ROM BIOS, ROM BASIC maupun RAM untuk screen monitor. Tabel 2.3

berikut memperlihatkan peta memory pada IBM PC-XT.

## II.2.2 SLOT PADA IBM PC-XT

Slot pada IBM PC-XT memiliki beberapa pin yang sangat penting sehubungan dengan penggunaan DMA (Direct Memory Access). Berikut ini diberikan penjelasan mengenai pin-pin tersebut:

**AEN** :Singkatan dari Address Enable. Fungsi jalur ini adalah untuk membedakan address yang dihasilkan oleh MPU 8088 dengan address dari DMA Controller. Jika jalur ini menjadi high, berarti address bus dikontrol oleh DMA Controller. Dengan demikian interface harus memasukkan AEN sebagai salah satu unsur decoding yang menentukan apakah suatu address berasal dari MPU 8088 atau dari DMA Controller 8237-5. DMA channel 0 telah dipakai untuk refresh RAM dinamis, sehingga untuk keperluan ini maka dilakukan scanning address sebanyak 64 kbyte oleh DMA Controller. Sehingga untuk penggunaan suatu interface pada IBM PC-XT, AEN ini mutlak harus diikuti sertakan dalam decoding addressnya.

**DREQ1-DREQ3** :Adalah pin-pin yang berfungsi untuk permintaan DMA bagi channel 1 sampai 3. Channel 0 tidak lagi bisa dipakai karena fungsinya untuk refresh memory dinamis yang harus selalu berfungsi. Sedangkan channel 2 yang juga dipakai untuk disk drive, masih dapat dipakai dengan catatan selesai dipakai (setelah proses DMA selesai dilakukan) pin ini harus dikembalikan ke kondisi *high impedance*. Permintaan DMA untuk ke 3 channel ini memiliki urutan prioritas dengan channel 3 yang terendah

sedangkan channel 1 yang tertinggi. Untuk melakukan permintaan DMA pin ini harus dibawa ke kondisi high sampai jalur DACK yang bersangkutan menjadi aktif.

**DACK0-DACK3** :Merupakan DMA Acknowledge untuk channel 0 sampai channel 3. Jalur ini dipergunakan untuk memberikan jawaban atas permintaan DMA channel 1 sampai channel 3. Sedangkan DACK0 dapat dipergunakan untuk refresh memory dinamis, karena DMA channel 0 sudah dipakai oleh IBM PC-XT untuk menghasilkan address yang berfungsi untuk refresh memory. Jalur ini aktif low, dengan kata lain, jika DACK suatu channel menjadi low berarti interface untuk channel tersebut dapat segera melakukan proses DMA. Karena pada proses DMA sinyal untuk I/O tidak memiliki address (address hanya untuk memory), maka interface yang akan dibaca datanya harus menggunakan DACK ini sebagai satu-satunya unsur decoding. Seperti halnya DREQ, maka untuk pemakaian DMA pada suatu channel yang sudah dipakai sinyal untuk DACK ini juga harus dibuat high (tidak aktif) jika proses DMA ini pada channel ini sudah selesai dilakukan. Dengan demikian sebelum DMA untuk channel ini dipakai harus diaktifkan dulu Enable-nya, barulah proses DMA dapat dimulai. Begitu juga setelah proses DMA selesai Enable tersebut harus dinon-aktifkan untuk memberi peluang interface yang menggunakan channel yang sama dapat melakukan proses DMA.

**T/C** : Singkatan dari Terminal Count. Fungsi pin ini untuk menunjukkan pada interface bahwa proses DMA telah selesai dilakukan. Suatu pulsa



dikeluarkan oleh jalur ini untuk menunjukkan bahwa data terakhir pada proses DMA telah selesai dipindahkan. Pulsa yang diberikan adalah aktif high.

## **II.3 DATA ACQUISITION**

### **II.3.1 ELEMEN-ELEMEN PENUNJANG DATA ACQUISITION**

Elemen-elemen pembentuk sistem data acquisition yang saling berhubungan satu dengan yang lainnya ialah:

- **Transduser**

Transduser adalah bagian yang menerima data analog dan mengubahnya ke besaran elektris. Spesifikasi transduser yang penting ialah kecepatan, ketelitian, dan keandalan.

- **Penguat Operasional**

Bilamana tegangan keluaran dari transduser sangat rendah, sedangkan ADC yang digunakan mempunyai daerah tegangan input 5 - 10 volt skala penuh, maka diperlukan pengkondisi sinyal. Rangkaian-rangkaian penguat operasional merupakan pilihan pertama untuk pengkondisi sinyal.

- **Penguat Instrumentasi**

Penguat instrumentasi diperlukan bila data analog harus ditransmisikan melewati jarak yang jauh dan bila interferensi di sekitarnya cukup tinggi. Penguat instrumentasi mempunyai karakteristik penekanan common-mode

Tabel 2.3<sup>24</sup>

## PETA MEMORY PADA IBM PC-XT

Address (hex)	Fungsi
00000  9FFFF	Read/Write Memori (RAM)
A0000 AFFFF	- Reserved -
B0000 B0FFF	Monochrome
B1000 B7FFF	- Reserved -
B8000 BBFFF	Color/Graphics
BC000 C7FFF	- Reserved -
C8000 C8FFF	Fixed Disk Control
C9000 EFFFF	- Reserved -
F0000 FDFFF	ROM BASIC
FE000 FFFFF	ROM BIOS

yang baik, impedansi input yang tinggi, hanyutan rendah, dan penguatan yang dapat diatur.

■ Isolator

<sup>24</sup>Technical Reference, IBM PC-XT, hal. 1-10

Bila terdapat level tegangan common-mode yang tinggi atau diperlukan arus bocor common-mode yang rendah, isolasi galvanik diperlukan sebagai pemisah antara sumber sinyal analog dengan sistem data.

#### ■ Rangkaian fungsi analog

Untuk fungsi-fungsi yang tetap, rangkaian analog lebih sederhana dan mempunyai kecepatan yang lebih tinggi daripada prosesor digital. Rangkaian ini membentuk operasi-operasi perkalian, pembagian, pangkat, akar: membentuk fungsi non linier khusus.

#### ■ Multiplexer analog

Bila data dari banyak sumber harus diproses oleh komputer tunggal, sebuah multiplexer analog biasa digunakan untuk mengkopel sinyal input ke ADC.

#### ■ Rangkaian sample/track hold

Rangkaian ini diperlukan sebab dalam banyak hal sinyal analog bervariasi cukup cepat. Karena konversi mengambil selang waktu yang tertentu dan ADC tidak dapat mendigitalkan (digitize) sinyal input dengan segera, perubahan cukup besar pada sinyal input selama proses konversi menghasilkan kesalahan yang cukup besar.

#### ■ Konverter analog ke digital

ADC mengubah data analog, biasanya tegangan, ke bentuk digital yang setara. Faktor utama ADC adalah ketelitian absolut dan relatif, linieritas, tidak ada kode yang hilang (no-missing-code), resolusi, kecepatan konversi, stabilitas dan harga. Hal-hal lain juga berhubungan dengannya.

ialah daerah tegangan input, kode digital keluaran, teknik interfacing, ada atau tidaknya multiplexer internal, pengkondisi sinyal, dan memori.

- Konverter digital ke analog

Peralatan ini akan menyusun kembali data analog semula setelah mengalami pemroses, penyimpanan, dan bahkan setelah transmisi digital.

- Prosesor data digital

Prosesor ini akan mengolah secara digital data hasil konversi analog.

- Filter Low pass

Filter digunakan pada sisi input dari ADC untuk menghilangkan komponen frekuensi tinggi yang tidak diinginkan dari sinyal input. Pemfilteran dapat pula dibentuk dengan teknik digital, menggunakan perangkat keras dan perangkat lunak yang sesuai.

## II.3.2 RANGKAIAN SAMPLE-HOLD <sup>24</sup>

Sesuai dengan namanya, penguat sample-hold, mempunyai dua mode operasi. Dalam mode sample atau *track*, output menjejaki input secermat mungkin sampai perintah hold diberikan ke input kontrol. Dalam mode hold, output menahan nilai terakhir sinyal input, yaitu pada saat perintah hold diberikan.

### II.3.2.1 OPERASI SAMPLE-HOLD

Penguat sample-hold mempunyai empat komponen utama, yaitu penguat

---

<sup>24</sup>Sheingold. Daniel H., Analog-Digital Conversion Handbook. Prentice Hall, 1986, USA, hal 560

input, komponen penyimpan energi berupa kapasitor, buffer output, dan rangkaian switching, seperti terlihat pada gambar 2.9. Penguat input mempunyai impedansi yang tinggi terhadap sumber sinyal dan memberikan penguatan arus untuk mengisi kapasitor penahan. Dalam mode penjajakan (*track*), kapasitor penahan umumnya menentukan tanggapan frekuensi dari penguat ini. Dalam mode menahan (*hold*), kapasitor menahan tegangan yang ada sebelum hubungan ke buffer input dilepaskan. Buffer output memberikan impedansi yang tinggi ke kapasitor ini untuk menghindari tegangan yang telah ada di kapasitor terbangun sebelum waktunya.

### II.3.2.2 SPESIFIKASI PENGUAT SAMPLE-HOLD

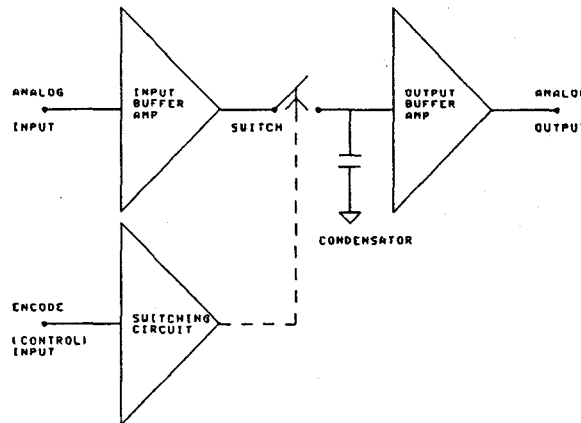
Terdapat empat spesifikasi yang menggambarkan karakteristik penguat sample-hold, yaitu:

#### ■ Mode Track

Dalam mode operasi *track*/penjajakan atau *sample*/pengambilan contoh, penguat sample-hold adalah sebuah penguat dengan bandwidth yang terbatas. Spesifikasi utama dalam mode operasi track adalah:

- Offset: menyatakan deviasi keluaran terhadap nol pada input nol
- Nonlinieritas: menyatakan deviasi dari plot sinyal input-output terhadap garis lurus yang seharusnya. Ini bila hanya dinyatakan dalam persentase terhadap skala penuh.
- Gain/penguatan: faktor pengali yang menggambarkan fungsi transfer input ke output.
- Waktu *Setting*: waktu yang diperlukan bagi output untuk mencapai nilai

akhirnya dalam daerah pecahan dari skala penuh yang tertentu bila dimasukkan input step analog skala penuh.



Gambar 2.9

#### PENGUAT SAMPLE-HOLD<sup>25</sup>

- *Bandwidth*: menggambarkan respon frekuensi tinggi, biasanya dikarakteristikan pada nilai -3 dB.
- Transisi Track ke Hold
  - Waktu Aperture: menyatakan waktu yang diberikan untuk melepaskan hubungan kapasitor penahan dari penguat input.
  - Offset Sample ke Hold: terjadi kesalahan step, karena nilai tegangan saat hold berbeda dengan nilai terakhir pada waktu sample. Ini disebabkan oleh muatan yang tercecer di kapasitor penahan melalui kapasitansi liar dari rangkaian switch kontrol.

<sup>25</sup>ibid hal.560

#### ■ Mode Hold

Selama mode hold terdapat kesalahan akibat ketidaksempurnaan switch, penguat output, dan kapasitor penahan.

- Droop: konstanta hanyutan dari tegangan output karena kebocoran muatan dari kapasitor hold.

- Feedthrough :bagian dari sinyal input yang tampak di output pada saat hold, terutama disebabkan oleh kapasitansi pada switch.

#### ■ Transisi Hold ke Sample

- Waktu Acquisition: lama waktu penguat sample-hold harus tetap di mode sample agar kapasitor penahan mendapatkan input step skala penuh.

## II.4 KONVERSI ANALOG-DIGITAL <sup>26</sup>

### II.4.1 JENIS-JENIS ADC

Terdapat beberapa jenis ADC, yang dapat dikelompokkan dalam empat kelompok seperti dibawah ini. Pemilihan ADC disesuaikan dengan penggunaan, yang di dalamnya diperhitungkan resolusi, waktu konversi, dan ketelitian.

#### ■ Successive Aproximation

Konverter analog-digital jenis *successive approximation*/pendekatan berturut-turut cukup banyak digunakan, khususnya untuk interfacing dengan komputer

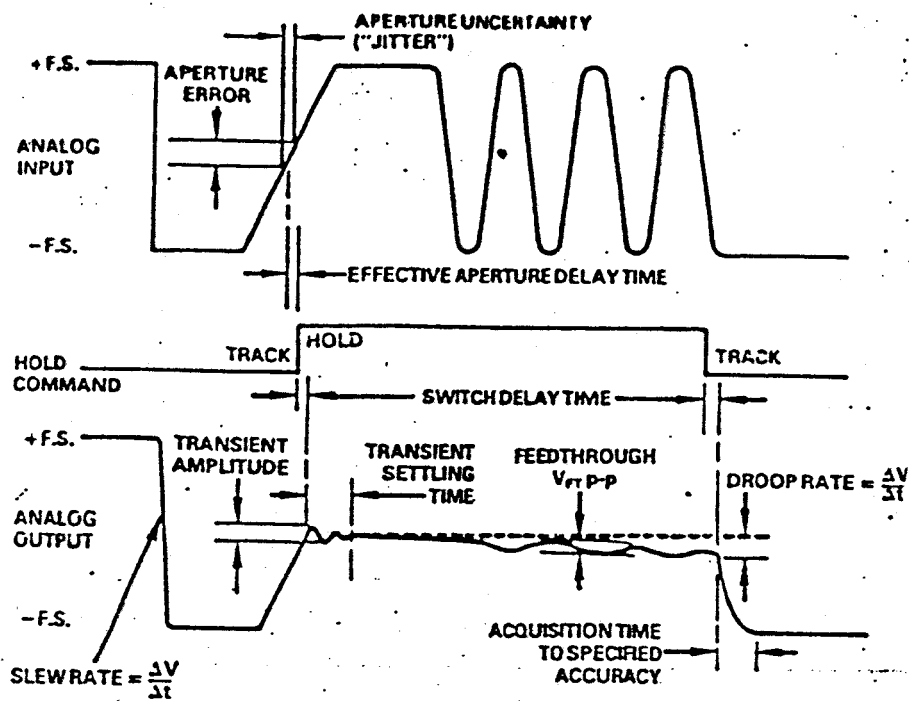
#### ■ Integrasi

Pada ADC jenis ini terjadi konversi tidak langsung, yang pertama konversi sebagai fungsi waktu, kemudian konversi dari fungsi waktu ke digital dengan

---

<sup>26</sup>ibid hal. 212

menggunakan sebuah pencacah. Jenis ini, seperti *dual-ramp* dan *quad-slope*, sesuai untuk penggunaan yang memungkinkan konversi cukup lama. Jenis yang lain adalah *single-ramp* dan konverter tegangan ke frekuensi.



Gambar 2.10<sup>27</sup>

#### KESALAHAN PADA PENGUAT SAMPLE-HOLD

##### ■ Pencacah dan servo

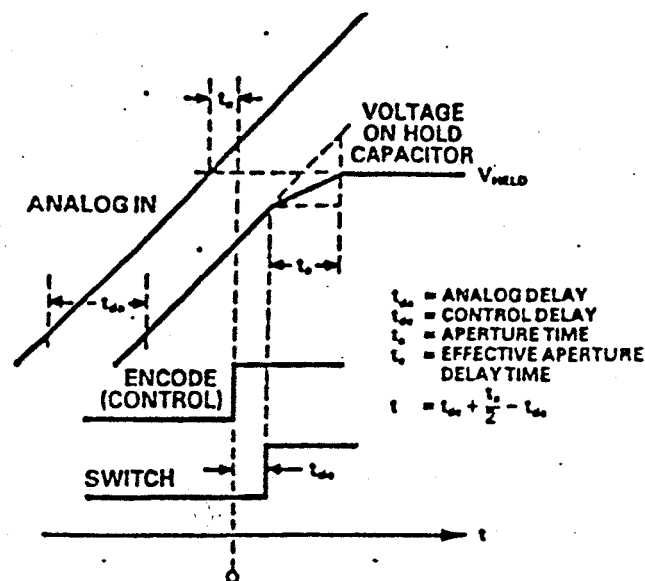
Pada konverter jenis ini waktu konversinya tergantung dari perubahan tegangan input. Input analog dibandingkan dengan output DAC dengan input digital berasal dari pencacah. Variasi dari konverter ini adalah jenis servo yang menggunakan pencacah naik-turun.

<sup>27</sup>ibid hal. 561



### ■ Pararel

Konverter paralel atau flash menggunakan  $2^n - 1$  pembanding. Penggunaan konversi paralel memungkinkan kecepatan hanya dibatasi oleh waktu switching dari komparator dan gate. Bila input berubah, kode output berubah segera sehingga konverter jenis ini merupakan yang tercepat. Namun, jumlah elemen internal bertambah secara geometris dengan resolusi.



Gambar 2.11<sup>28</sup>

PEWAKTUAN INTERNAL PENGUAT SAMPLE-HOLD

## II.4.2 ADC SUCCESSIVE APPROXIMATION

*ADC Successive Approximation* mempunyai kelebihan-kelebihan antara lain mudah untuk interfacing dengan komputer, waktu konversi yang tertentu,

<sup>28</sup>ibid hal. 563

kecepatan konversi yang cukup tinggi, dan memungkinkan untuk resolusi tinggi. Cara kerja ADC jenis ini adalah sebagai berikut.

Konversi dilakukan dengan cara membandingkan input tak diketahui dengan sebuah tegangan atau arus presisi yang dibangkitkan oleh sebuah DAC, seperti terlihat pada gambar 2.12. Input dari DAC berasal dari output ADC. Pembandingan dilakukan bit demi bit dimulai dari MSB.

Sesudah perintah konversi diberikan dan konverter telah direset, output MSB DAC dibandingkan dengan input sinyal. Bilamana input lebih besar dari MSB tersebut, bit ini akan '1' dan bit berikutnya dites. Bila input kurang dari MSB, bit tersebut akan '0' dan bit kedua dites. Bila bit kedua tidak dapat membuat output ADC lebih besar dari input analog, bit ini diset ('1') dan bit ketiga dites. Bila pemberian '1' pada bit kedua ini membuat output ADC lebih besar dari input analog, bit ini dibuat '0'. Proses yang sama terjadi pada bit-bit berikutnya.

Hal utama yang perlu diperhatikan pada ADC ini ialah input analog tidak boleh lebih dari 1 LSB selama konversi. Untuk mengatasi hal itu, pada sinyal-sinyal input yang berubah dengan cepat digunakan penguat sample-hold. Penguat ini dapat dihilangkan untuk sinyal-sinyal yang berubah lambat.

Ketelitian, linieritas, dan kecepatan *successive approximation* ADC terutama disebabkan oleh sifat dari DAC dan komparator internal.

### II.4.3 SPESIFIKASI ADC

Fungsi transfer untuk ADC 3 bit diperlihatkan pada gambar 2.13.



Merupakan perbedaan kemiringan fungsi transfer ADC terhadap fungsi transfer ADC sempurna, seperti yang terlihat pada gambar 2.14.

■ Ketelitian:

Perbedaan antara input yang sebenarnya kode biner keluaran skala penuh weighted, termasuk di dalamnya kesalahan yang ada.

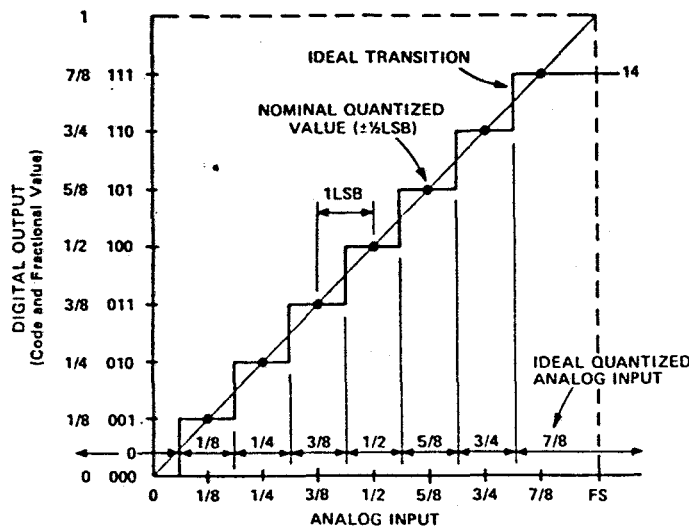
■ Kesalahan offset:

Setara dengan nilai tegangan input ADC untuk menolak kode outputnya.

■ Nonlinieritas diferensial (DNL *differential nonlinearity*):

Didefinisikan sebagai deviasi dalam lebar kode dari nilai 1 LSB

■ Nonlinearitas integral (INL *integral nonlinearity*):



Gambar 2.13<sup>30</sup>

FUNGSI TRANSFER ADC 3-BIT IDEAL

<sup>30</sup>ibid hal. 317

Adalah deviasi fungsi transfer dari garis lurus ideal.

■ **Monotonicity:**

Menyatakan ada atau tidaknya perubahan tanda (*sign*) kemiringan pada fungsi transfer ADC.

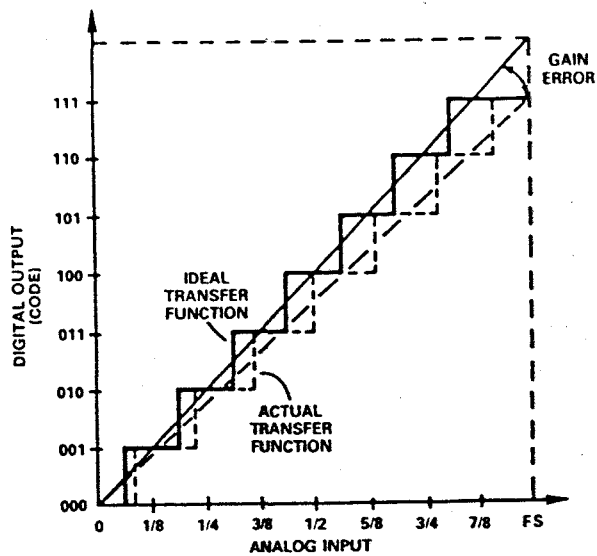
■ **Waktu konversi:**

Waktu yang diperlukan oleh ADC untuk membuat satu konversi.

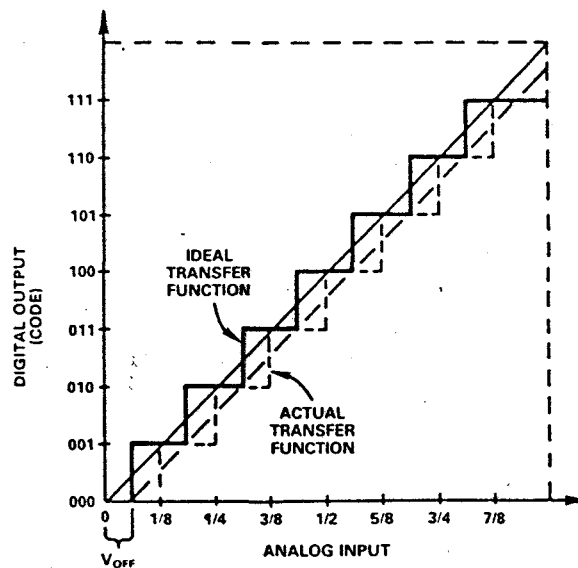
#### II.4.4 KONVERTER ANALOG KE DIGITAL AD574

AD574 adalah sebuah konverter A/D lengkap yang tidak memerlukan komponen luar tambahan untuk memberikan fungsi konversi analog ke digital dengan cara *successive approximation*. Tegangan referensi internal dibentuk oleh sebuah zener diode yang di-trim pada 10.00 volt  $\pm 0.2\%$ . Tegangan referensi ini dikeluarkan dan dapat mencatu sampai 1.5 mA ke sebuah beban luar sebagai tambahan keperluan akan resintor input referensi (0.5 mA) dan resistor offset bipolar (1 mA). Semua beban eksternal yang diterapkan ke referensi AD574 harus konstan selama konversi.

Gambar 2.17 memperlihatkan rangkaian untuk hubungan unipolar. Dua buah variabel resistor diperlukan untuk offset dan satu untuk penguatan. Input analog AD574 mempunyai resistansi 5 k $\Omega$  pada jangkauan 10 V dan 10 k $\Omega$  pada jangkauan 20 V. Impedansi keluaran penguat operasional yang menggerakkan input dari AD574 harus mempunyai hasil kali antaran penguatan dan lebar pita (*gain bandwidth product*) minimal 500 khz.

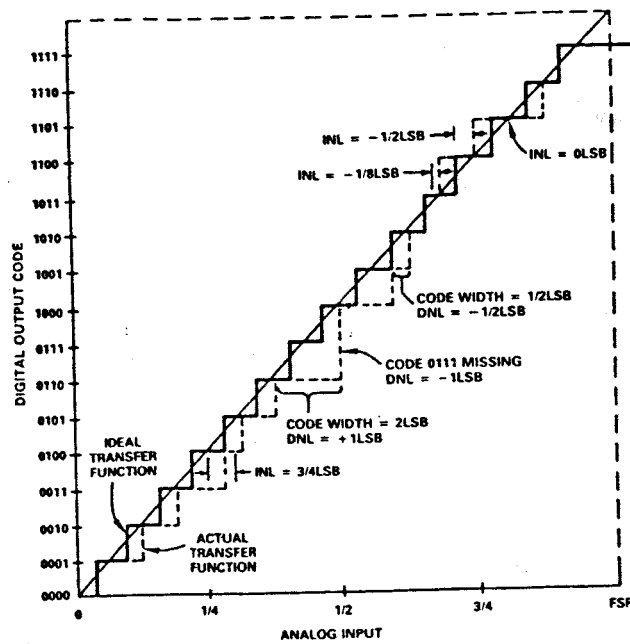
Gambar 2.14<sup>31</sup>

## KESALAHAN PENGUATAN PADA ADC 3-BIT

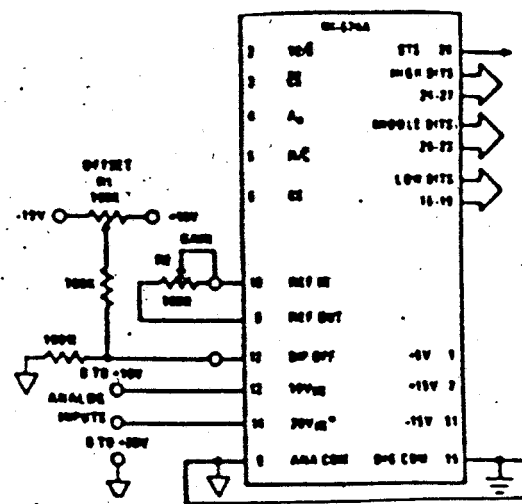
Gambar 2.15<sup>32</sup>

## KESALAHAN OFFSET PADA ADC 3-BIT

<sup>31</sup>ibid hal. 320<sup>32</sup>ibid hal. 319

Gambar 2.16<sup>33</sup>

## KESALAHAN LINIERITAS PADA ADC 4-BIT

Gambar 2.17<sup>34</sup>

## HUBUNGAN UNIPOLAR AD574

<sup>33</sup>ibid hal. 325<sup>34</sup>Data-aquaisition Databook 1982, VolumeI: integrated Circuited, Analog Device, inc,1982. hal. 11-44

#### II.4.5 PENGONTROLAN AD574

AD574 berisi rangkaian logika yang dapat langsung dihubungkan ke sebagian besar sistem mikroprosesor. Sinyal kontrol CE, CS, dan R/C mengendalikan operasi dari konverter. Keadaan R/C saat CE dan CS keduanya dimasukkan menentukan apakah data dibaca ( $R/C=1$ ) atau konversi ( $R/C=0$ ) akan berlangsung. Input Ao dan 12/8 menentukan lebar konversi dan format data. Ao biasanya dihubungkan ke LSB dari bus alamat. Jika konversi dimulai dengan Ao rendah, siklus konversi 12 bit diinisialisasi. Jika tinggi selama start konversi, akan berlangsung siklus konversi 8 bit. Selama operasi pembacaan data, Ao menentukan bilamana buffer tiga keadaan berisi 8 MSB dari hasil konversi ( $Ao=0$ ) atau 4 LSB ( $Ao=1$ ) diaktifkan. Pin 12/8 menentukan bagaimana data output diorganisasikan sebagai dua buah 8 bit (12/8) dihubungkan ke digital comman) atau sebuah 12 bit (12/8) dihubungkan ke +5 volt. Pin 12/8 tidak cocok dengan TTL dan harus dihubungkan langsung ke +5 V atau ke digital comman.

Ao tidak boleh berubah keadaan selama operasi pembacaan data. Hal ini mengakibatkan kerusakan internal pada AD574.

Sinyal output STS menyatakan status dari konverter. STS akan tinggi pada awal konversi dan kembali rendah setelah siklus berakhir. Gambar 2.10 memperlihatkan diagram pewaktuann lengkap untuk operasi start konversi AD574. R/C harus rendah sebelum CE dan CS keduanya dimasukkan. Bila R/C tinggi, operasi pembacaan akan terjadi sesaat yang bisa menyebabkan konflik pada bus sistem. Baik CE atau CS dapat digunakan untuk menginisialisasi sebuah konversi, tetapi penggunaan CE lebih dianjurkan karena mempunyai penundaan perambatan



Tabel 2.4<sup>35</sup>

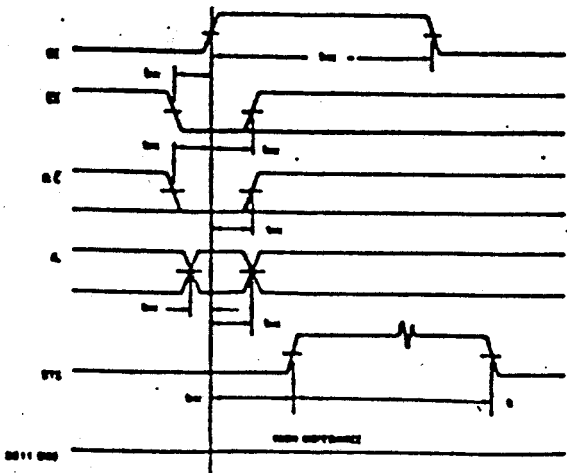
TABEL KEBENARAN UNTUK INPUT KONTROL AD574

CE	CS	R/C	12/8	A0	Operasi
0	x	x	x	x	tidak ada
x	1	x	x	x	tidak ada
?	0	0	x	0	inisialisasi konversi 12 bit
?	0	0	x	1	inisialisasi konversi 8 bit
1	?	0	x	0	inisialisasi konversi 12 bit
1	?	0	x	1	inisialisasi konversi 8 bit
1	0	1	1	x	enable keluaran 12 bit
1	0	1	0	0	enable 8 MSB saja
1	0	1	0	1	enable 4 LSB diikuti 4 nol

yang lebih kecil daripada CS. Sekali konversi simulai dan STS tinggi, perintah start konversi akan diabaikan sampai siklus konversi lengkap.

II.4.6 PEWAKTUAN SIKLUS BACA

Gambar 2.19 memperlihatkan pewaktuan untuk operasi pembacaan data.



Gambar 2.18<sup>36</sup>

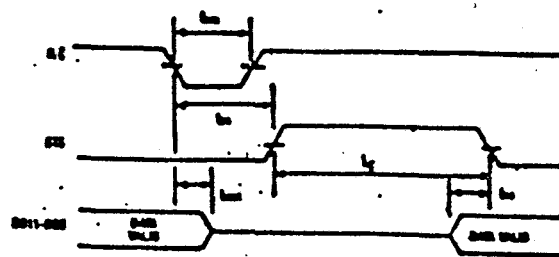
PEWAKTUAN START KONVERSI

<sup>35</sup>ibid hal. 11-45

<sup>36</sup>ibid hal. 11-46

Selama operasi pembacaan ini, waktu access diukur dari titik dimana CE dan R/C keduanya tinggi (dianggap CS telah rendah). Bila CS digunakan untuk enable, waktu access menjadi 100 ns.

Dalam mode bus interface 8 bit (masukan 12/8 dihubungkan ke digital comman, bit alamat Ao harus stabil sekurang-kurangnya 150 ns setelah CE tinggi dan harus tetap stabil selama seluruh siklus baca. Jika Ao berubah, akan terjadi kerusakan pada output AD574.



Gambar 2.19<sup>37</sup>

PEWAKTUAN SIKLUS BACA

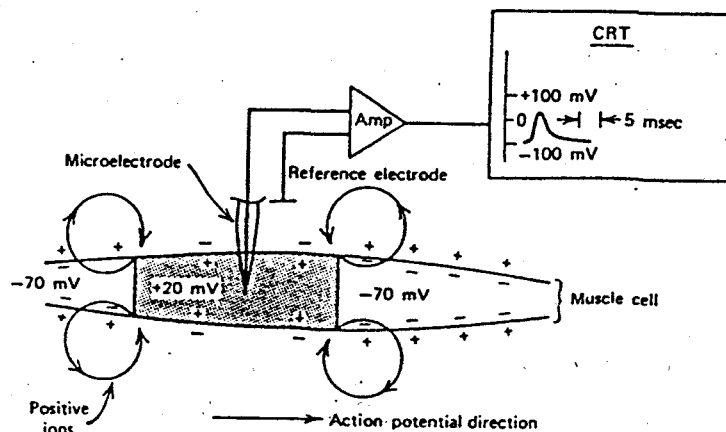
## II.5 SINYAL LISTRIK DARI OTOT (Elektromyogram)

Informasi yang berarti dari diagnostik tentang otot adalah pengukuran aktifitas listriknya. Penjelasan ringkas transmisi aktifitas tegangan dari axon ke otot yang menyebabkan otot berkontraksi. Potensial dari otot yang terekam selama bergerak disebut elektromyogram atau EMG.

Otot dibuat dari banyak unit motor. Unit motor terdiri dari cabang neuron

<sup>37</sup>ibid hal. 11-46

tunggal dari tangkai otak atau tali tulang punggung belakang dan 25 sampai 2000 cell-cell otot itu terhubung melalui akhir plate motor. Tegangan istirahat yang melalui membran dari cell otot adalah sama dengan tegangan istirahat yang melalui cell urat saraf. Aktifitas otot dikenal dengan aktifitas tegangan yang berjalan selama di axon dan ditransmisikan melalui akhir motor plate menuju cell otot, yang menyebabkan keduanya terhubung. Aktifitas tegangan yang terekam pada cell otot tunggal diperlihatkan pada gambar 2.20. Selama diadakan



Gambar 2.20 <sup>38</sup>

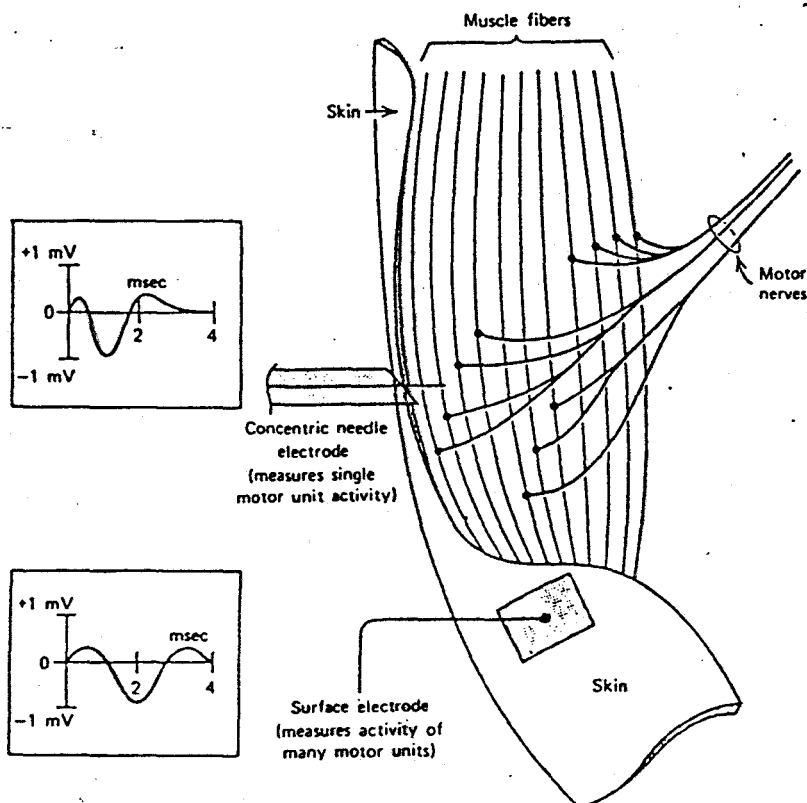
#### AKTIFITAS POTENSIAL PADA CELL OTOT TUNGGAL

pengukuran dengan elektrode yang sangat tipis (mikroelektrode) menembus pembatas otot.

Cell otot tunggal biasanya tidak diperlihatkan pada pengujian EMG sebab sulit untuk mengisolasi cell tunggal. Elektrode-elektrode EMG biasanya merekam aktifitas listrik dari macam-macam cell. Demikian pula kedua elektrode

<sup>38</sup>John R.Cameron and James G.S, Medical Physics hal. 190

permukaan atau elektrode jarum konsentrik digunakan. Elektrode permukaan menarik signal listrik dari banyak unit motor pada pengukuran kulit. Elektrode jarum konsentrik dimasukkan dibawah kulit mengukur aktifitas unit motor tunggal dengan pertolongan kabel yang diasingkan dihubungkan dengan titik tersebut. Gambar 2.21 menunjukkan type EMG dari dua type elektrode.



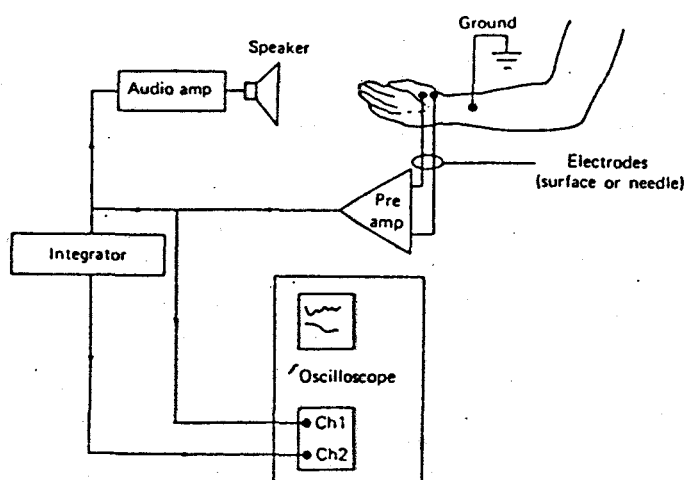
Gambar 2.21<sup>39</sup>

#### TYPE EMG DARI 2 TYPE ELEKTRODE

Sebuah contoh pengukuran dari EMG diberikan pada gambar 2.22. Signal listriknya otot dapat langsung ditampilkan pada chanel 1 dari osiloscope, dan signal ini dapat dipadukan dan ditampilkan pada chanel 2. Signal ini dapat pula dilewatkan penguat dan dibuat pendengaran melalui pengeras suara. Pemaduan rekaman

<sup>39</sup>ibid hal. 191

(dalam volt dan detik) adalah pengukuran dari jumlah gabungan listrik dengan aktifitas potensial otot. Gambar 2.23 memperlihatkan EMG dan bentuk penggabungannya dari derajat yang berbeda dari kontraksi volume otot. Lead dengan kontraksi yang lebih kuat akan memiliki gerakan aktifitas tegangan lebih besar. Ini lebih mudah mempelajari bentuk penggabungan dari aktifitas tegangan karena kurvanya lebih mulus. Di klinik, suara EMG dan bentuk penggabungan sering digunakan untuk menyatakan kondisi pada saat otot sedang berkonstraksi.



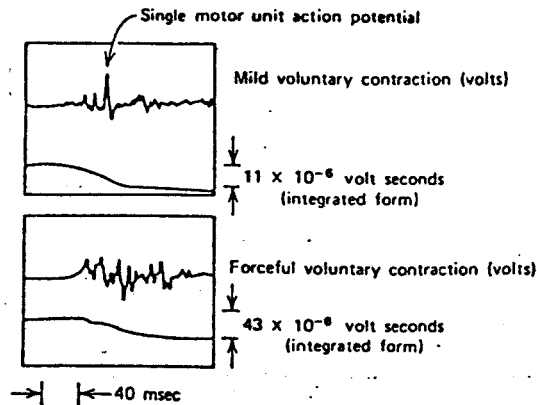
Gambar 2.22<sup>40</sup>

#### CONTOH PENGUKURAN EMG

EMG dapat diperoleh dari otot atau unit motor yang signal listriknya

<sup>40</sup>ibid hal. 192

disimulasikan, dan metode ini sering disukai pada kontraksi volume. Konstraksi volume biasanya dibentangkan lebih sekitar 100 msec karena semua unit motor tidak memulai pada saat yang sama, juga masing masing unit motor menghasilkan



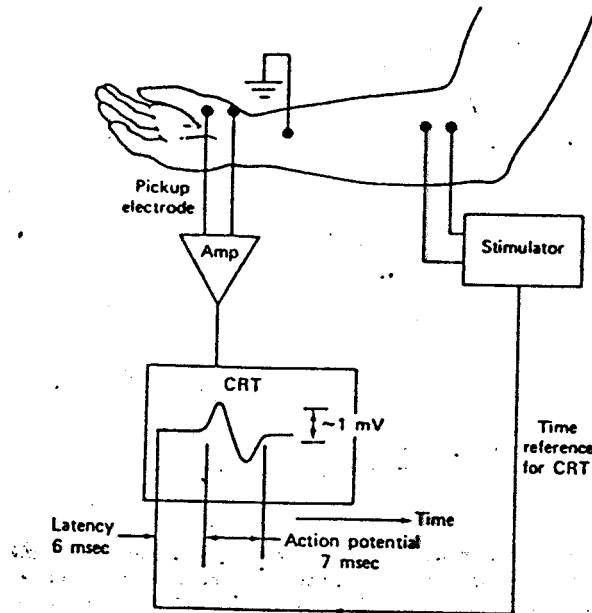
Gambar 2.23<sup>41</sup>

#### PENGGABUNGAN DARI KONSTRAKSI OTOT YANG BERBEDA

macam-macam aktifitas tegangan tergantung diatas signal yang dikirimkan dari pusat sistem gugup. Dengan listrik yang dimisalkan, waktu pemisalan lebih baik ditentukan dan semua cell otot dimulai pada saat yang berdekatan. Bentuk pemisalan pulsa dapat memiliki amplitudo 100 V dan berakhir 1,0 sampai 0.5 msec.

EMG diperoleh selama pemisalan signal listrik dari unit motor yang diperlihatkan pada gambar 2.24. Aktifitas tegangan menghilang pada EMG setelah akhir periode (waktu antara pemisalan dan awal dari respon). Kadang EMG dari otot yang simetri dari tubuh dibandingkan dengan yang lain atau dengan milik individu yang normal untuk menentukan keadaan aktifitas tegangan dan akhir

<sup>41</sup>ibid hal. 192

Gambar 2.24<sup>42</sup>

## EMG DARI SINYAL STIMULUS

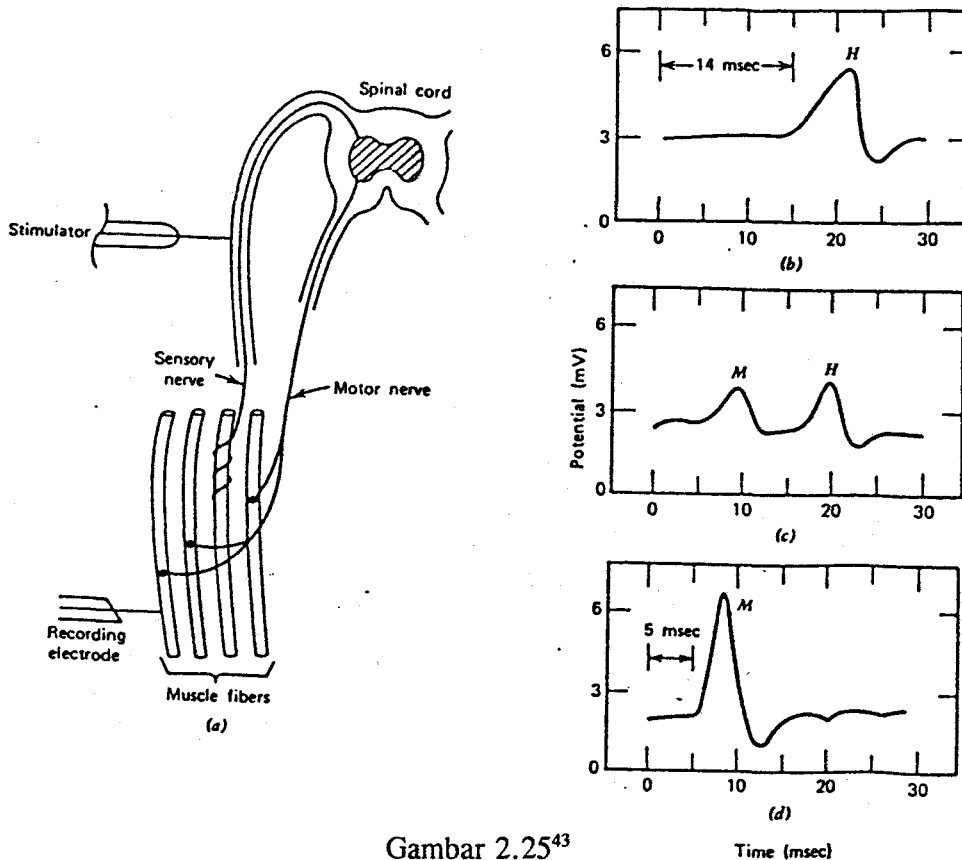
periode sama.

Pada penambahan pemisalan sinyal listrik unit motor, memungkinkan merangsang sensor urat syaraf yang membawa informasi dari pusat system gugup. System reflek dapat dipelajari dengan mengamati respon reflek pada otot (gambar 2.25). Pada pemisalan sinyal listrik level rendah banyak sensor urat syaraf yang sensitif diaktifkan tapi urat syaraf motor tidak, dan tidak terlihat respon M. Aktifitas tegangan dari sensor urat syaraf bergerak pada spinal cord dan menghasilkan respon reflek yang dihantarkan sepanjang urat syaraf motor dan dikenalkan dengan respon penundaan H pada otot. Selama pemisalan sinyal listrik dinaikkan, kedua urat syaraf motor dan urat syaraf sensor dimisalkan kedua M dan respon H dapat dilihat.

Kecepatan dari aktifitas tegangan pada urat syaraf motor dapat pula

<sup>42</sup>ibid hal. 193

ditentukan. Pengejut ditempatkan pada 2 lokasi dan periode terakhir dari masing-masing respon diukur (gambar 2.26). Perbedaan pada kedua periode terakhir adalah waktu yang dibutuhkan untuk menghantarkan aktifitas tegangan



Gambar 2.25<sup>43</sup>

#### KONDISI OTOT PADA BAYI SAAT REFLEK

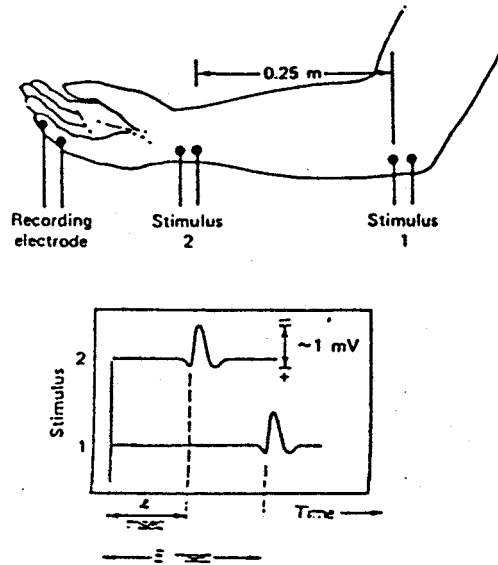
diantara keduanya, kecepatan dari aktifitas tegangan adalah jarak ini dibagi dengan waktunya.

Keadaan kecepatan dari sensor urat syaraf dapat diukur dengan pemisalan pada tempat ini dan merekam pada bermacam-macam tempat yang diketahui jarak titik tersebut dari stimulation (gambar 2.27). Urat syaraf lebih banyak menghasilkan kerusakan pada pengurangan kecepatan berhubungan. Kecepatannya

<sup>43</sup>ibid hal. 194

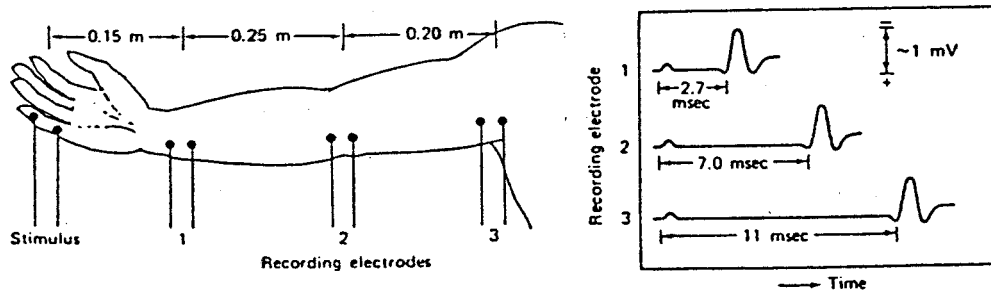


berkisar antara 40 sampai 60 m/detik, kecepatan dibawah 10 m/detik diidentifikasi bermasalah.



Gambar 2.26<sup>44</sup>

#### MENGUKUR MASING-MASING RESPON DARI PERIODE TERAKHIR



Gambar 2.27<sup>45</sup>

#### MENGUKUR KECEPATAN HANTAR OTOT

<sup>44</sup>ibid hal. 195

<sup>45</sup>ibid hal. 196

Elektromyogram dengan banyak stimulasi dibuat untuk menentukan karakteristik kelelahan dari otot. Banyak otot pada manusia dapat distimulasikan kembali pada ukuran antara 5 sampai 15 Hz. Urat syaraf dan otot yang normal memperlihatkan sedikit perubahan selama memperpanjang restimulasi sepanjang kecepatan dari stimulasi mengalir pada periode pelemahan sekitar 0,2 detik diantara pulsa. Seorang pasien dengan penyakit yang agak jarang myasthenia gravis memperlihatkan kelemahan otot besar ketika menyelesaikan perulangan tugas otot besar. EMG dari pasien tersebut memperlihatkan bahwa perulangan stimulasi urat syaraf motor pada tranmisi otot gagal.

# B A B III

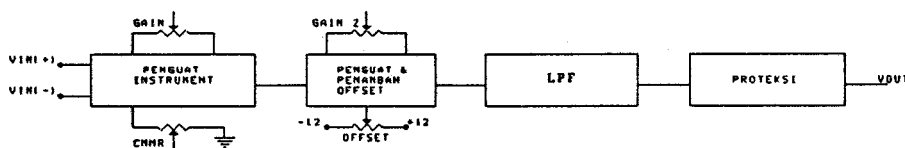
## P E R E N C A N A A N

### III.1 PERENCANAAN HARDWARE

#### III.1.1 PERENCANAAN PENGOLAH SINYAL ANALOG

Pengolah sinyal analog akan mengolah secara analog tegangan output dari suatu transduser sebelum diumpankan ke ADC. Karena rangkaian didisain untuk pemakaian banyak, pengolahan yang dilakukan cukup penguatan, baik arus maupun tegangan, penambahan tegangan offset, dan pemfilteran. Meskipun demikian, pengolah sinyal analog ini harus memenuhi kriteria-kriteria sebagai berikut: mempunyai penguatan yang dapat diatur dan cukup besar, bandwidth yang lebar, impedansi input yang tinggi, CMRR yang tinggi, mempunyai rangkaian proteksi, dan dapat dihubungkan ke sebagian besar rangkaian ADC.

Gambar 3.1 memperlihatkan diagram blok pengolah sinyal analog yang direncanakan, yang didalamnya terdapat penguat instrumentasi, penambahan tegangan offset, penguatan tegangan, filter, dan proteksi.



Gambar 3.1

DIAGRAM BLOK PENGOLAH SINYAL ANALOG

### III.1.1.1 PENGUAT INSTRUMENTASI

Bagian pertama pengolah sinyal analog adalah yang paling kritis karena umumnya output dari transduser sangat lemah sehingga pengaruh gangguan akan menjadi besar. Penguat inverting maupun non-inverting biasa kurang cocok untuk digunakan pada tahap ini karena penolakannya terhadap ragam tunggal (CMRR) rendah, sehingga noise dan interferensi yang masuk ke kedua ujung inputnya tidak diredam.

Penggunaan penguat diferensial dasar (Gambar 3.2) dapat mengatasi hal ini, tetapi masih memiliki kendala-kendala berikut. Pertama, resistansi inputnya kecil, dan kedua, penguatannya sulit diubah karena untuk melakukan hal ini diperlukan pengaturan nilai dua tahanan dan keduanya harus disesuaikan dengan cermat.

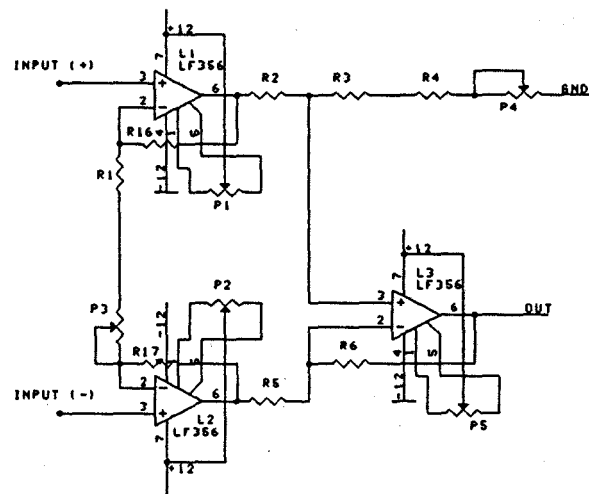
Kedua kendala dapat diatasi dengan menggunakan penguat instrumentasi seperti terlihat pada gambar 3.2. Komponen aktif penguat instrumentasi adalah penguat operasional dengan syarat utamanya adalah mempunyai noise yang rendah. Untuk itu dipilih op-amp jenis LF 356N yang mempunyai noise 5 nV. Pada input penguat instrumentasi ini ditambahkan tahanan 10 M untuk membuat impedansi input yang tertentu. Dalam pemakaian, tahanan ini dapat diubah untuk memberikan penyesuaian impedansi bagi output transduser. Mulai dari input sampai bagian penguat diferensial tidak ada hubungan (melalui tahanan) ke ground agar pengaruh noise yang terdapat di jalur ground dapat ditekan. Selain komponen aktifnya, komponen pasif pada tahap ini harus dari jenis yang berkualitas. Untuk itu digunakan tahanan jenis metal film yang mempunyai noise

yang rendah.

Dengan nilai tahanan yang ada dapat dihitung penguatan minimum dan penguatan maksimum, CMRR rangkaian sama dengan penguatannya.

$$A_{\min} = 1 + 2 \frac{R1}{VR3_{(\max)} + R3} = 1 + 2 \frac{100K\Omega}{100K\Omega + 1K\Omega} = 3$$

$$A_{\max} = 1 + 2 \frac{R1}{VR3_{(\min)} + R3} = 1 + 2 \frac{100k\Omega}{0 + 1k\Omega} = 201$$



Gambar 3.2

#### PENGUAT INSTRUMENTASI

##### III.1.1.2 PENAMBAHAN TEGANGAN OFFSET

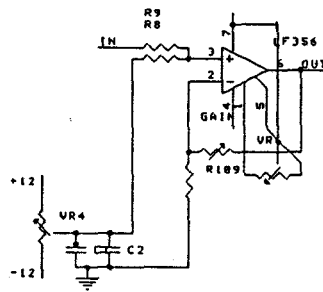
Rangkaian penambah tegangan offset diperlukan karena tegangan rata-rata beberapa transduser tidak nol. Untuk transduser jenis ini pemberian tegangan offset akan menaikkan jangkauan tegangan yang dapat diproses. Selanjutnya

perangkat lunak dapat mengkompensasi hal ini.

Penambah tegangan offset pada gambar 3.3 adalah rangkaian *non-inverting adder*. Tahanan umpan balik pada adder ini dibuat variabel sehingga rangkaian dapat diatur penguatannya. Penguatan maksimum rangkaian ini untuk kedua input adalah:

$$A = \frac{1}{2} \left( 1 + \frac{VR6}{VR10} \right)$$

Dengan nilai komponen yang ada diperlukan penguatan maksimum 5 dan minimum 1.



Gambar 3.3

PENAMBAH TEGANGAN OFFSET

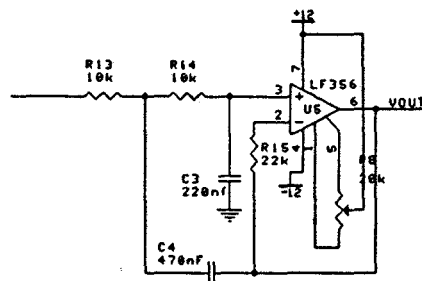
### III.1.1.3 FILTER LOW-PASS

Sebuah filter low-pass diperlukan untuk menghilangkan noise yang umumnya terjadi pada frekuensi tinggi. Noise ini dapat berasal dari komponen, saluran, transduser, ataupun dari interferensi. Selain itu filter dapat menghilangkan *spike-spike* yang mengganggu sinyal.

Semua kanal direncanakan untuk mendeteksi ketegangan otot sehingga filter low-pass-nya didisain mempunyai frekuensi cut-off 50Hz. Dipilih  $R11=R12=10k$  dan dapat dihitung nilai  $C3$  sebagai berikut:

$$C3 = \frac{0.707R11}{2\pi fc} = 225nF$$

$C4=2*C3=450nF$ . Nilai kapasitor terdekat yang ada dipasaran adalah 220nF untuk  $C3$  dan 470nF untuk  $C4$ .



Gambar 3.4

FILTER LOW PASS

#### III.1.1.4 RANGKAIAN PROTEKSI

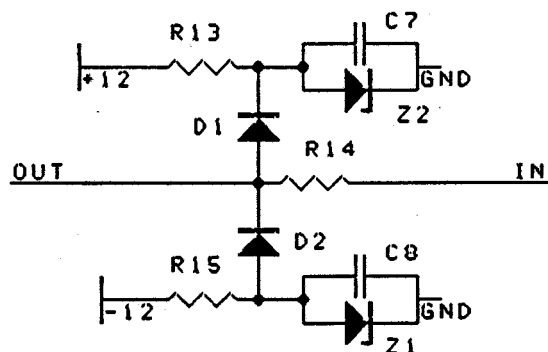
Rangkaian proteksi seperti pada gambar 3.5 ditempatkan pada bagian terakhir karena rangkaian ini berguna untuk melindungi card ADC terhadap tegangan berlebihan. Card ADC yang direncanakan mempunyai daerah tegangan input  $\pm 5$  volt sedangkan output pengolah sinyal analog dapat mempunyai tegangan  $\pm 10$  volt.

Rangkaian proteksi bekerja bila tegangan pada titik pertemuan D1 dan D2

melebihi 5,4 volt, yaitu penjumlahan tegangan forward diode IN 914 sebesar 0,7 volt dan tegangan kerja zener diode 4,7 volt. Tahanan R17 dan R18 berfungsi memberikan bias arus 3.32 mA bagi D2 dan D3 agar bekerja normal. Tahanan pembatas arus R19 sebesar 1 k $\Omega$  akan mengamankan output tahap sebelumnya bila tegangan melebihi batas.

### III.1.2 KONVERTER ANALOG-DIGITAL

Diagram blok card ADC seperti yang terlihat pada gambar 3.6 membentuk rangkaian lengkap untuk konversi sinyal analog ke digital. Kriteria yang harus dipenuhi oleh rangkaian ini adalah mampu mengonversikan sinyal analog ke bentuk digitalnya dengan benar, dapat digunakan untuk sebagian besar penerapan,



Gambar 3.5

#### RANGKAIAN PROTEKSI

menggunakan kemampuan ADC AD574 seoptimal mungkin, dan waktu *overhead* komputer, termasuk perangkat lunaknya, seminimum mungkin. Untuk menunjang hal tersebut direncanakan spesifikasi utama dari rangkaian ADC adalah daerah tegangan input analog -5 volt sampai +5 volt, waktu sampling dapat diprogram



dari 50  $\mu$ s sampai 1 s, resolusi 12 bit, dan mempunyai 8 input analog.

Pada card ini terdapat sebuah multiplexer analog pada bagian inputnya. Dengan adanya multiplexer ini card ADC dapat digunakan untuk mengkonversikan beberapa sinyal analog sekaligus. Multiplexer analog ini menggunakan sistem *time division multiplexing* yang mana dalam satu saat hanya satu input yang aktif.

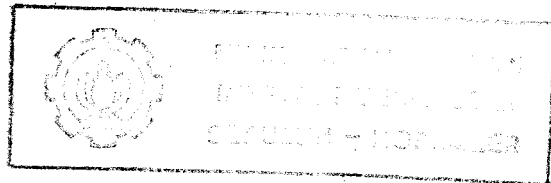
Rangkaian *timing* ini digerakkan oleh rangkaian pembangkit *sampling rate* yang berintikan sebuah Programmable Interval Timer (PIT). Selain mengontrol penguat sample-hold, rangkaian *timing* juga memberikan sinyal start konversi bagi ADC.

Bagian ADC menggunakan sebuah ADC AD574. Input analog ADC ini berasal dari rangkaian timing. Setiap kali ADC selesai melakukan konversi, sinyal DMARQ diberikan ke komputer dan data output ADC di-latch di buffer data.

Untuk membangkitkan *sampling rate* yang konstan digunakan sebuah Programmable Interval Timer (PIT). Adanya PIT ini akan mengurangi waktu *overhead* komputer untuk setiap saat memberikan sinyal start konversi.

Rangkaian dekoder alamat berfungsi untuk mengaktifkan masing-masing bagian bila alamat yang bersesuaian dihubungi.

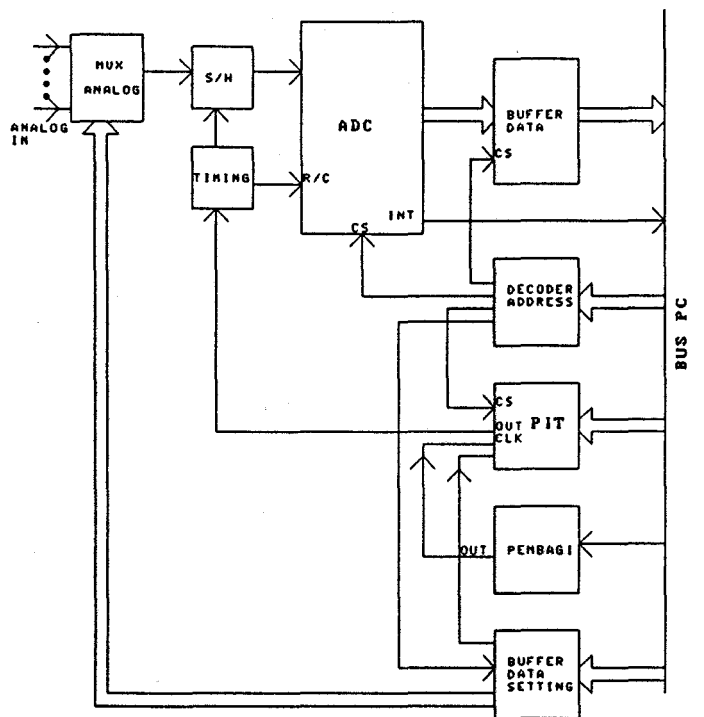
### III.1.2.1 MULTIPLEXER ANALOG



Rangkaian multiplexer anaalog berfungsi untuk memilih sinyal input analog yang akan dikonversikan pada suatu saat, rangkaian lengkapnya terlihat pada gambar 3.7. IC CMOS 4051 dipilih berdasarkan alasan bahwa jumlah inputnya

sebanyak 8 cukup untuk sebagian besar penerapan. Selain itu IC ini mampu melewati sinyal analog negatif.

Agar dapat mengkonversikan baik sinyal positif maupun sinyal negatif, tegangan catu dari multiplexer harus jenis split. Karena rangkaian ADC direncanakan dapat mengkonversi sinyal dengan daerah tegangan -5 volt sampai +5 volt, maka tegangan catu positif,  $V_{dd}$ , dipilih sebesar +5 volt, dan tegangan



Gambar 3.6

#### DIAGRAM BLOK CARD ADC

catu negatif,  $V_{ee}$ , dipilih -5 volt. Tegangan ini masih dibawah batas selisih tegangan  $V_{dd} - V_{ee}$  maksimum sebesar 15 volt dan juga disesuaikan dengan tegangan catu yang tersedia di slot ekspansi komputer IBM PC. Keuntungan

lainnya ialah dengan tegangan Vdd sebesar ini tidak diperlukan rangkaian level translator bagi input kontrol bila dikemudikan oleh IC TTL, cukup ditambahkan sebuah resistor pull-up.

Pada Vdd sebesar 5 volt, tegangan input kontrol level rendahnya,  $V_{il}$ , sebesar 1,5 volt maksimum, dan tegangan input level tingginya,  $V_{ih}$ , sebesar 3,5 volt minimum. Karena tegangan level rendah untuk TTL maksimum sebesar 0,7 volt dan tegangan level tingginya minimum adalah 2,4 volt, maka perlu untuk meng-offset tegangan ini ke dalam daerah tegangan CMOS diatas. Untuk itu ditambahkan resistor pull-up pada setiap input kontrolnya. Besarnya resistor pull-up maksimum ditentukan oleh  $V_{il}$  CMOS dan arus input level tingginya  $I_{ih}$  CMOS yang dapat dihitung sebagai berikut:

$$R_{PU(max)} = \frac{5 - V_{ih(cmos)}}{I_{ih(cmos)}} = \frac{5 - 3,5}{10} \mu A = 150 k\Omega$$

Sedangkan resistor pull-up minimum ditentukan oleh arus out- put TTL level rendah,  $I_{ol}$ .

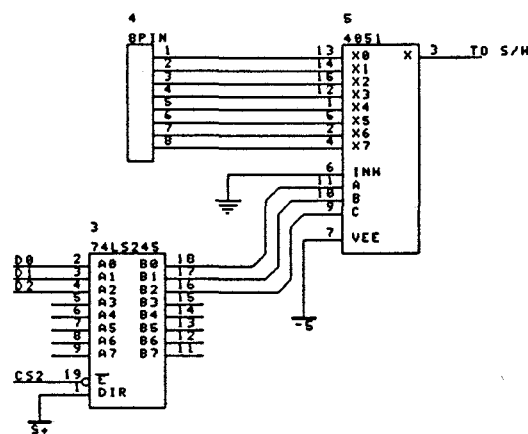
$$R_{PU(min)} = \frac{5}{I_{ol(ttl)}} = \frac{5}{4mA} = 1,25 k\Omega$$

Untuk itu dipilih resistor pull-up sebesar 10 k.

Resistansi ON maksimum dari analog switch sebesar 400 dapat diabaikan karena impedansi output penguat sample-hold yang mengikutinya sangat besar, yaitu 10 G $\Omega$ .

### III.1.2.2 PENGUAT SAMPLE-HOLD

Rangkaian sample-hold seperti terlihat pada gambar 3.8 menggunakan IC LF398N sebagai penguat sample-hold. Dengan adanya rangkaian sample-hold dimungkinkan menyampling beberapa sinyal analog dan mengkonversikannya ke bentuk digital dengan sebuah ADC secara berurutan. Dengan demikian pengukuran terhadap beberapa titik ukur dilakukan dalam waktu mendekati bersamaan. IC LF 398N dipilih karena mempunyai waktu *acquisition* yang lebih



Gambar 3.7

#### MULTIPLEXER ANALOG DELAPAN INPUT

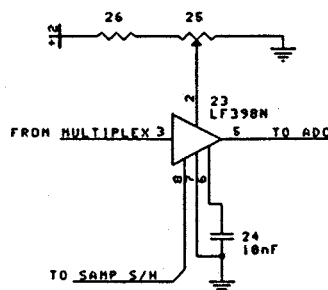
rendah dari waktu *sampling* minimum yang direncanakan sebesar 50  $\mu$ s. Rangkaian penguat sample-hold bekerja sebagai berikut. Bila tegangan input kontrol rendah, rangkaian dalam mode *sample*. Dalam mode ini penguat berfungsi seperti rangkaian buffer atau *voltage follower* biasa. Waktu *sample* minimum ditentukan oleh waktu *acquisition* dari LF 398N.

Bila tegangan input kontrol tinggi, rangkaian dalam mode hold dan akan

mempertahankan tegangan yang telah ada pada kapasitor. Batas maksimum waktu hold ini ditentukan oleh perbandingan antara resolusi ADC (dalam volt) terhadap laju droop (penurunan tegangan output sebagai fungsi waktu). Hal ini berarti selama *hold* tegangan output tidak berubah lebih dari tegangan 1 LSB ADC.

Berdasarkan grafik waktu *acquisition* yang dikeluarkan pabrik pembuat LF 398, kapasitor hold sebesar 10 nF memberikan waktu *acquisition* sebesar 9  $\mu$ s. Waktu ini bersama-sama dengan waktu konversi ADC menentukan waktu sampling minimum yang diijinkan. Waktu *sampling* maksimum ditentukan laju *droop* penguat sample-hold. Dari grafik laju droop, pada nilai kapasitor hold sebesar 10 nF diperoleh laju droop sebesar 3,5 mV/detik. Karena resolusi ADC yang direncanakan sebesar  $10 \text{ V}/4096 = 2,4 \text{ mV}$ , maka waktu *sampling* maksimumnya adalah:

$$T = \frac{\text{resolusi ADC}}{\text{laju droop}} = \frac{2,4\text{mV}}{3,5\text{mV/s}} = 685,7\text{ms}$$



Gambar 3.8

PENGUAT SAMPLE AND HOLD

### III.1.2.3 UNIT ADC, TIMING

Unit ADC berbasis pada IC AD574. Pemilihan IC ini berdasarkan pertimbangan kemampuannya untuk dapat mengkonversi sinyal analog positif dan negatif, tidak memerlukan tegangan referensi dan *clock* luar, resolusi cukup tinggi (12bit), error yang kecil, dan waktu konversi yang cukup cepat untuk sebagian besar penerapan (35  $\mu$ s).

IC AD574 digunakan dalam mode operasi stand alone. Pemakaian mode ini akan meminimumkan rangkaian logika pengontrol dan perangkat lunak. Juga waktu *overhead* dari komputer akan minimum. Gambar 3.9 memperlihatkan ADC AD574 dan komponen pendukungnya.

Dalam mode ini CE dan 12/8 dihubungkan ke +5 V, CS dan Ao dihubungkan ke 0 V (rendak) dan konversi dikontrol oleh R/C. Pewaktuan untuk mode ini dapat dilihat pada gambar 3.9. Pada gambar ini terlihat bahwa sinyal start konversi dibentuk dengan memberikan pulsa rendah selama  $t_{hdrl}$  pada input R/C. Output AD574 akan berada pada keadaan impedansi tinggi sejak sisi turun pada input R/C dan kembali aktif setelah konversi berakhir. Output STS menyatakan keadaan AD574 setiap saat. STS akan tinggi selama konversi berlangsung, yaitu 600 ns ( $t_{DS}$ ) setelah R/C menjadi rendah, STS kembali rendah 300 ns ( $t_{HS}$ ) setelah data valid tersedia.

Untuk membentuk pewaktuan seperti diatas ditambahkan rangkaian *timing* seperti terlihat pada gambar 3.10. Input rangkaian ini berasal dari pembangkit *sampling rate*. Pembangkit *sampling rate* mengeluarkan pulsa-pulsa tinggi yang periodik, dimana lebar pulsa ini tidak menjadi masalah karena rangkaian *timing*

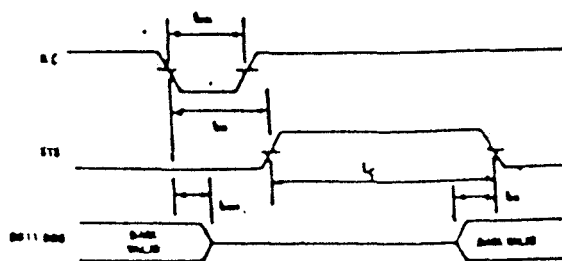
hanya mengambil transisi naiknya saja. Rangkaian timing ini pada dasarnya adalah dua buah multivibrator monostabil yang dikaskade. Multivibrator pertama dibentuk oleh U11A memberikan lebar pulsa sekitar  $10 \mu s$  setelah sisi naik dari sinyal pembangkit sampling rete. Waktu  $10 \mu s$  ini digunakan oleh penguat sample-hold untuk mengambil contoh sinyal input analog. Lebar pulsa ini ditentukan berdasarkan waktu *acquisition* pada kapasitor hold sebesar  $10 \text{ nF}$ , yang diperoleh berdasarkan perhitungan sebagai berikut. Pertama ditentukan lebar pulsa  $t_w = 10 \mu s$  dan kapasitor  $C3 \text{ 1nF}$ , kemudian dihitung nilai  $R3$ .

$$t_w = 0,45.R3.C3$$

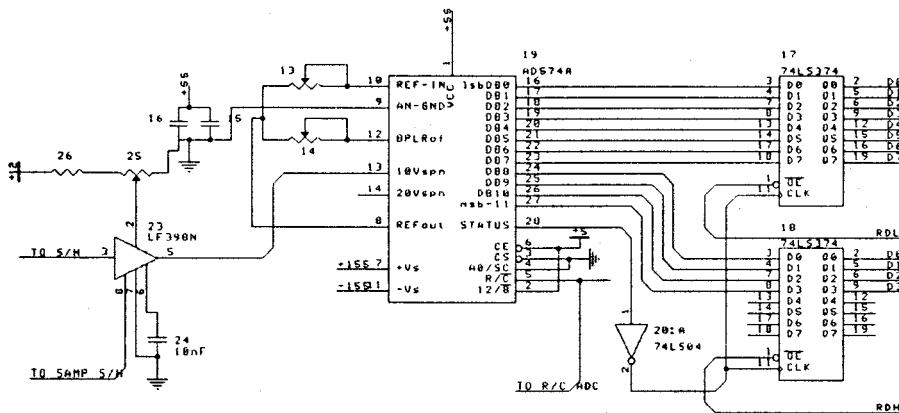
$$R3 = \frac{t_w}{0,45.C3} = \frac{10\mu s}{0,45.10nF} = 22,222k\Omega$$

Nilai resistor terdekat yang ada dipasaran adalah  $22 \text{ k}\Omega$ .

Akhir dari pulsa tersebut atau sisi turunnya digunakan untuk menggerakkan input multivibrator berikutnya.



Gambar 3.9



Gambar 3.10

## ADC AD574 DAN KOMPONEN PENDUKUNGNYA

Multivibrator kedua ini membangkitkan pulsa rendah sebesar  $t_{HRL}$  (gambar 3.11) yang minimumnya 250 ns. Dipilih lebar pulsa ini sebesar  $1,2 \mu s$ , ditentukan kapasitor C2 sebesar 470 pF sehingga R2 dapat dihitung sebagai berikut.

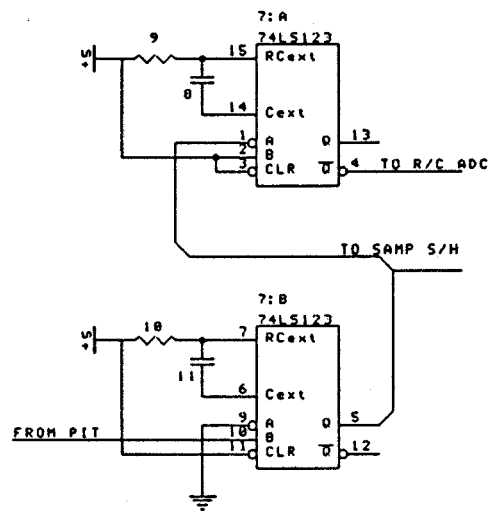
$$R2 = \frac{t_w}{0,45.C2} = \frac{1,2\mu s}{0,45.470pF} = 5,550k\Omega$$

Nilai resistor terdekat yang ada dipasaran adalah 5k6.

Dari uraian diatas dapat dihitung waktu sampling minimum, yaitu

$$\begin{aligned} T_{\min} &= T_{acq} + T_{ds} + T_c \\ &= (10 + 0,6 + 35)\mu s \\ T_{\min} &= 45,8\mu s \end{aligned}$$





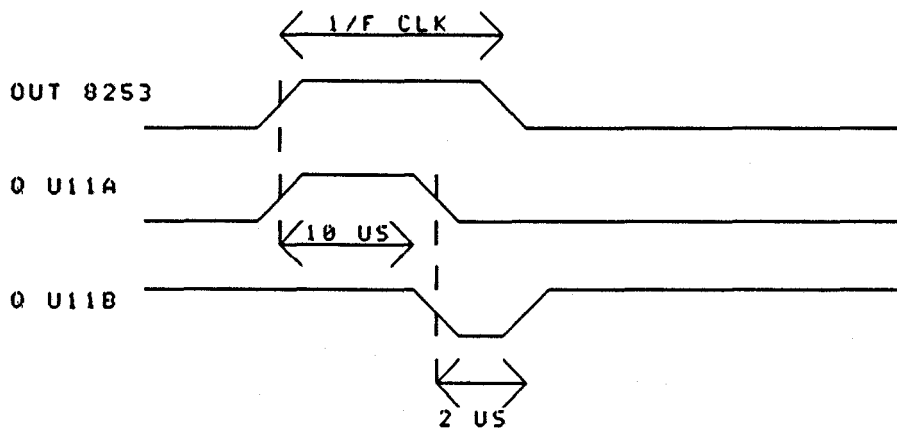
Gambar 3.11

## RANGKAIAN TIMING UNTUK PEMBANGKIT

## SINYAL HOLD DAN START KONVERSI AD574

dimana  $t_{acq}$  adalah waktu *acquisition* penguat sample-hold yang ditentukan oleh lebar pulsa tinggi dari output U11A. Sedangkan  $t_{DS}$ , selang waktu antara sisi turun pulsa R/C dengan saat start konversi internal dari AD574, dan  $t_c$ , waktu konversi, merupakan timing internal dari AD574.

Pin  $A_0$  yang terhubung ke 0 volt/rendah membuat AD574 melakukan konversi 12 bit. Pemberian tegangan +5 volt pada pin 12/8 akan meng-enable output paralel 12-bit. Agar output ADC ini dapat dibaca oleh data bus komputer 8-bit, ditambahkan dua buah latch type 74LS374, seperti terlihat pada gambar 3.12. Latch ini dibaca berurutan sesuai dengan keadaan address  $A_0$  komputer. Pemakaian latch akan menghindari resiko hubung singkat output AD574 bila IC ini dioperasikan pada mode output 8-bit. Hal ini dapat terjadi bila  $A_0$  berubah pada saat pembacaan data output sedang berlangsung.



Gambar 3.12

#### DIAGRAM WAKTU DARI RANGKAIAN TIMING

Sisi turun output STS AD574 menunjukkan bahwa konversi telah selesai dan pada saat ini data valid telah tersedia dioutput AD574. Sehingga, saat transisi tersebut dapat digunakan sebagai sinyal bagi U16 dan U17. Penambahan sebuah inverter logika U13A dapat digunakan untuk membangkitkan sinyal DMARQ ke komputer dengan bantuan sebuah D Flip-flop 74LS74. Bila input clock 74LS74 berubah dari rendah ke tinggi, output Q-nya akan menjadi tinggi. Output Q ini akan tetap tinggi dan baru akan rendah bila sinyal clear yang aktif rendah diberikan pada input CL. Sinyal clear ini akan terbangkitkan secara otomatis bila komputer selesai melaksanakan proses DMA.

#### III.1.2.4 PEMBANGKIT SAMPLING RATE

Rangkaian pembangkit sampling rate berbasis pada Programmable Interval Timer (PIT) 8253 seperti terlihat pada gambar 3.13. Rangkaian ini direncanakan mempunyai kriteria dapat membangkitkan gelombang blok periodik yang konstan dan dapat diprogram melalui perangkat lunak.

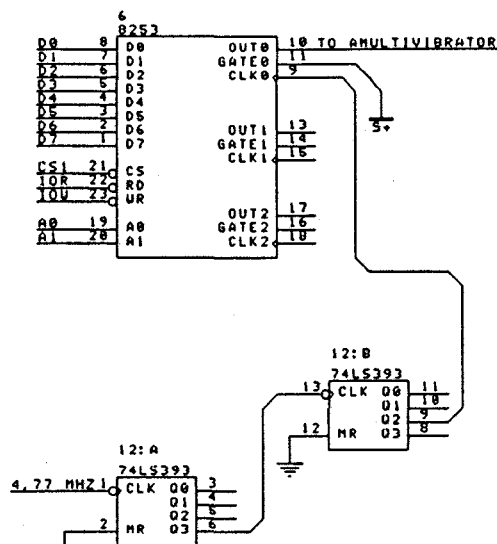
*Duty cycle* output 8253 tidak penting karena rangkaian timing hanya melihat transisi naiknya saja. Untuk itu PIT 8253 dapat diprogram pada mode generator rate atau mode generator gelombang segiempat tanpa ada perbedaan dalam hasilnya. Pada perencanaan digunakan mode generator rate (mode 2). Pada mode ini output 8253 akan mengeluarkan pulsa rendah selebar periode clock dan akan berulang setiap  $n$  kali periode clock, dimana  $n$  adalah nilai register pencacah yang diprogram.

Frekuensi input clock 8253 ditentukan berdasarkan waktu sampling minimum yang direncanakan, yaitu  $50 \mu s$ . Pada nilai register pencacah minimum, 8253 merupakan pembagi dua, untuk itu diperlukan clock dengan periode  $25 \mu s$ . Pada slot ekspansi IMB PC sudah tersedia clock 4,77 Mhz sehingga cukup ditambahkan rangkaian pembagi.

Rasio pembagian oleh rangkaian pembagi dapat dihitung sebagai berikut:

$$n = \frac{f_{\epsilon}}{f_{out}} = \frac{4,77MHz}{1/25\mu s} = 119,25$$

$f_{in}$  merupakan frekuensi input pembagi dan  $f_{out}$  frekuensi outputnya. Untuk menyederhanakan rangkaian dipilih  $n = 128$  sehingga diperlukan 7 buah flip-flop



Gambar 3.13

## PEMBANGKIT SAMPLING RATE

yang dapat dibentuk dari satu IC 74LS339. Akibat pembulatan ini, nilai minimum waktu sampling sedikit berbeda dari rencana semula, yaitu menjadi

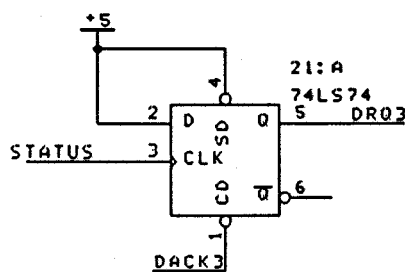
$$T = \frac{2n}{f_{\epsilon}} = \frac{2.128}{4,77\text{MHz}} = 53,66\mu s$$

## III.1.3 PEMBANGKIT DAN DECODING DMA

## III.1.3.1 PEMBANGKIT DREQ3

Seperti telah dijelaskan pada bab terdahulu bahwa channel dari DMA yang belum dipergunakan yaitu channel 1 dan 3, maka penulis mempergunakan channel 3 yang berarti prioritas terendah. DMA merupakan salah satu dari beberapa interrupt yang telah ada pada sistem komputer yang memiliki prioritas tertinggi

dibawah RESET. Output dari modul ADC diharapkan langsung dapat ditempatkan pada lokasi memori dikomputer yang diatur penempatannya menurut Dos. Hal ini dapat diterapkan pada softwarenya. Setelah ADC selesai mengkonversi maka Status (pin no 28) akan Low, dengan memberikan inverter (IC 74LS04) maka output dari ADC ini disinkronkan dengan waktu sampling dari ADC. Pada saat pertama kali PIT diinisialisasi (CS1) maka DREQ3 diijinkan. Demikian pula



Gambar 3.14

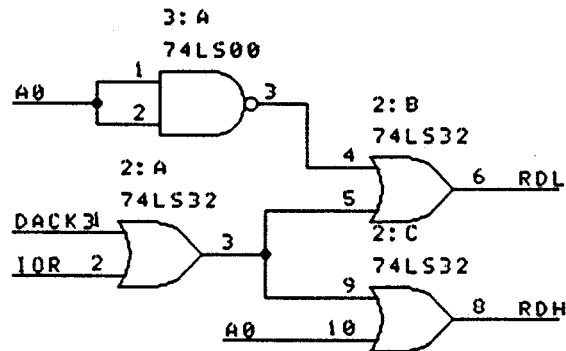
#### PEMBANGKIT DRQ3

setelah proses DMA selesai dilakukan maka output D flip-flop (IC74LS74) akan low, karena DACK3 akan low seperti telah dijelaskan pada pengoperasian DMA.

### III.1.3.2 DECODING DMA

Telah dijelaskan pada bab penunjang bahwa untuk proses perpindahan data dari I/O ke memori, DMA Controller mempergunakan IOR dan MEMW. Hal inilah yang dipergunakan untuk decoding DMA. Karena perpindahan data dari I/O ke memori dilakukan 2 kali, ini dikarenakan ADC yang dipergunakan memiliki output 12 bit. Maka perpindahan dilakukan dengan menempatkan byte terendah

kemudian yang tertinggi, hal ini dilakukan dengan mempergunakan Address A0 sebagai tambahan decoding.



Gambar 3.15

DECODING DMA

### III.1.3 STIMULUS

Untuk mengetahui apakah sebagian besar otot yang diukur tidak mengalami banyak kerusakan maka dipergunakan stimulus (pengejut) untuk mengetahuinya. Demikian pula apakah informasi yang disampaikan dari otak tidak banyak mengalami hambatan maka diberilah pengejut pada otot yang akan dicek.

Otot pada kondisi normal memiliki kecepatan hantar antara 40-60 m/detik dan tegangan antara transduser sekitar 2 V. Seperti telah dijelaskan bahwa kecepatan hantar dibawah 10 m/detik menandakan otot pada daerah tersebut bermasalah.

### III.2 PERENCANAAN SOFTWARE

Software yang dibuat untuk mendukung hardware dibuat dalam dua

bahasa, yaitu PASCAL dan Assembly. Alasan pemilihan bahasa PASCAL karena bahasa ini adalah bahasa tingkat tinggi dengan kecepatan cukup tinggi dan teknik pemrograman yang terstruktur sehingga memudahkan pemakai. Sedangkan bahasa Assembly diperlukan untuk inisialisasi DMA. Dimana bahasa Assembly juga memiliki kecepatan yang tinggi. Secara keseluruhan, software menggunakan tampilan grafik, yang dimaksudkan untuk memudahkan pemakai dan menghindari kedipan yang ditimbulkan saat perpindahan mode text ke mode grafik.

### III.2.1 INISIALISASI PROGRAM

Inisialisasi hardware terdiri dari inisialisasi PIT dan DMA. Inisialisasi PIT terdapat pada modul ADC dan Inisialisasi DMA yang telah terdapat pada motherboard komputer. PIT diset sebagai pembangkit rate dengan frekuensi yang dapat diatur dengan mengubah nilai counter 8253. Nilai counter ini merupakan faktor pembagi clock input 8253 sesuai dengan sampling rate yang diinginkan. Ini dapat dirumuskan sebagai berikut.

$$\text{Faktor pembagi 8253} = \frac{\text{frekuensi input 8253/2}}{\text{sampling rate}} = \frac{18633}{\text{sampling}}$$

Karena faktor pembagi 8253 dapat memiliki nilai 1 sampai 65536, maka sampling rate dapat memiliki nilai:

$$\text{Sampling rate min} = \frac{18633\text{Hz}}{65536} = 0,28\text{Hz}$$

$$\text{Sampling rate max} = \frac{18633\text{Hz}}{1} = 18633\text{Hz}$$

Inisialisasi DMA Controller pada IBM PC-XT seperti dibawah ini:

```

latchb equ 82h                ;page ch3
amode equ 0bh                ;dma mode
abyff equ 0ch                ;reset byte pointer ff
ach3ad equ 06h                ;ch 3 addr
ach3cn equ 07h                ;ch 3 counter
aclmas equ 0ah                ;clear siggle mask bit
areq equ 09h                  ;dma req
cmmd equ 08h                  ;command reg
status equ 08h                ;status
dma_mode equ 57h              ;set mode for ch 3 as
                               ;singgle mode,addr inc, auto init enable, write tranfer

```

Data Segment Word Public

Assume DS:Data

Extrn p\_data:word

;place of data

Data EndS

Code Segment Byte Public

Assume CS:Code

dma\_init proc near

Public Dma\_init

lea bx,p\_data

;data in ds:bx with count cx

mov cx,2

push ax

push cx

push bx

mov ax,ds

;program a19-a16

mov cl,4

shr bx,cl

add ax,bx

mov cl,12

push ax

shr ax,cl

out latchb,al

;for get page

pop ax

pop bx



```

    mov cl,4
    shl ax,cl
    and bx,15
    add ax,bx                                ;get address absolute

    out abyff,al                            ;clear f/l lsb
    out abyff,al                            ;clear f/l msb

    out ach3ad,al                            ;program address
    mov al,ah
    out ach3ad,al

    pop ax                                  ;program count
    push ax
    push bx
    dec ax

    out ach3cn,al
    mov al,ah
    out ach3cn,al
    mov al,dma_mode                          ;modeout amode,al

    mov al,0                                ;enable controller
    out cmmd,al

    mov al,3                                ;unmask ch 3
    out aclmas,al

@test_tc:
    in al,status                            ;test ch 3
    test al,8
    jz @test_tc

    pop bx
    pop cx
    pop ax
    ret

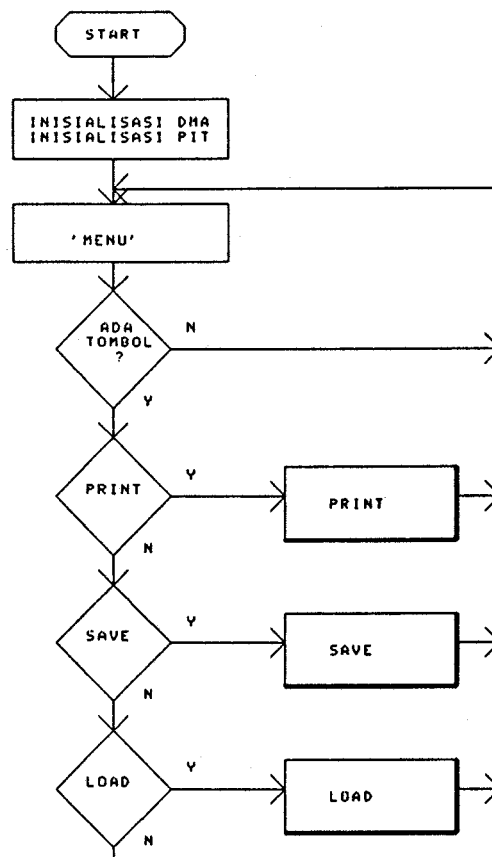
Dma_init EndP
Code EndS
End

```

Setelah menjalankan program tersebut diatas, maka proses DMA sudah siap dilakukan dan tinggal menunggu permintaan DMA dari Hardware. Sekali proses

DMA dimulai, maka proses akan berakhir jika nilai counter 0.

Flowchart dari program utama yaitu:



Gambar 3.16

FLOWCHART PROGRAM UTAMA

## **BAB IV**

### **PENGUJIAN DAN PENGUKURAN**

Sebelum dijalankan sebagai suatu sistem tiap-tiap bagian perlu pengujian terlebih dahulu. Bila rangkaian telah bekerja, tahap selanjutnya adalah pengukuran dan sekaligus kalibrasi.

#### **IV.1 PEMBUATAN DAN PENGUJIAN ALAT**

Untuk merealisasikan sistem yang direncanakan dibuat perangkat keras dengan modul-modul yang universal, artinya tiap modul dapat digunakan secara terpisah. Dengan demikian dimungkinkan menggunakan modul tersebut untuk keperluan lain. Modul-modul tersebut adalah

1. Modul Pengolah Sinyal Analog
2. Modul ADC
3. Modul Stimulus

Pengujian modul ADC dapat dilakukan sebagai berikut. Pertama kali ditest apakah decoder alamat untuk PIT dan Multiplexer sudah bekerja. Kemudian dilanjutkan dengan pengujian semua buffer data. Berikutnya adalah pengujian rangkaian PIT 8253.

Dengan menggunakan perangkat lunak, IC 8253 diprogram untuk menghasilkan sinyal pembangkit sampling rate. Dengan bantuan osiloskop dicek apakah bentuk gelombang pada rangkaian timing sudah sesuai dengan yang direncanakan. Setelah semua rangkaian pendukung ADC AD574 selesai diuji baru

IC ini dipasang dan dicoba dengan perangkat lunak.

Pengujian modul pengolah analog dilakukan setelah semua komponen terpasang. Input dihubungkan dengan generator gelombang sinus dan diamati output pada masing-masing bagian.

## **IV.2 PENGUKURAN DAN KALIBRASI**

Pengukuran dan kalibrasi dilakukan secara bersama-sama sampai diperoleh nilai yang paling optimum. Langkah ini dilakukan per modul dan selanjutnya dilakukan untuk seluruh sistem.

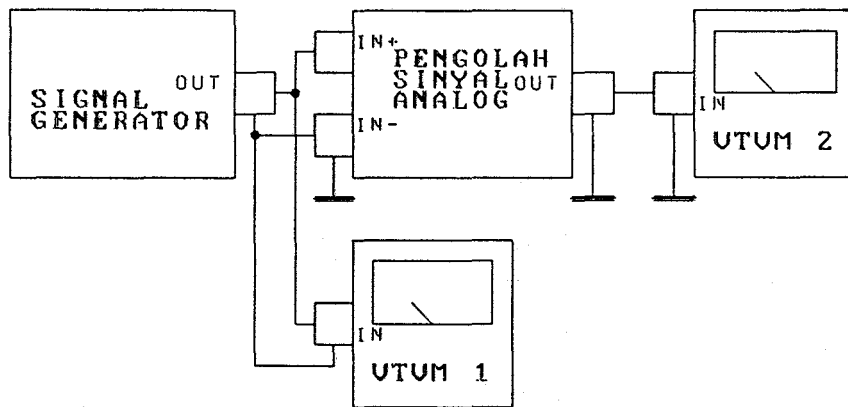
### **IV.2.1 PENGUKURAN DAN KALIBRASI PENGOLAH SINYAL ANALOG**

Ada beberapa parameter yang perlu diukur untuk bagian pengolah sinyal analog, yaitu penguatan, noise, CMRR, tegangan offset, dan bandwidth.

Pengukuran penguatan dilakukan dengan memasukkan sinyal sinus pada input kemudian diatur variabel resistor untuk penguatan. Pada input dan output dipasang osiloskop untuk mengamati tegangannya. Dari pengukuran ini diperoleh penguatan minimalnya adalah 20 dan maksimumnya 990 pada frekuensi 1 KHz. Penguatan maksimumnya tidak tepat 1000 seperti yang direncanakan karena toleransi tahanan yang digunakan.

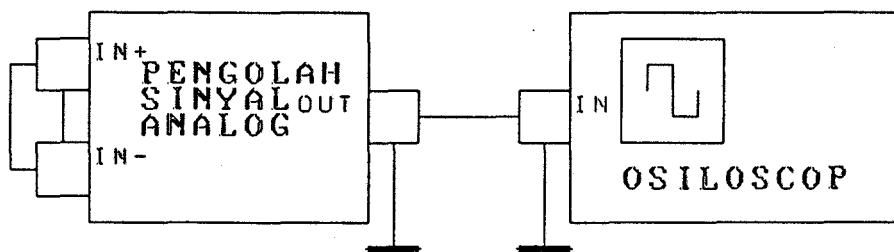
Pengukuran noise dilakukan dengan menghubungkan-singkatkan kedua input kemudian penguatan rangkaian diset pada maksimumnya. Selanjutnya diukur tegangan noisenya pada outputnya dengan menggunakan osiloskop. Dari pengukuran ini diperoleh tegangan noise output sebesar 2 mVpp. Karena range

tegangan output pengolah sinyal analog mencapai 10 V<sub>pp</sub>, maka S/N rasionya adalah  $10\text{V}/2\text{mV} = 5000$ .



Gambar 4.1

#### PERNGUKURAN PENGUATAN MODUL PENGOLAH SINYAL ANALOG



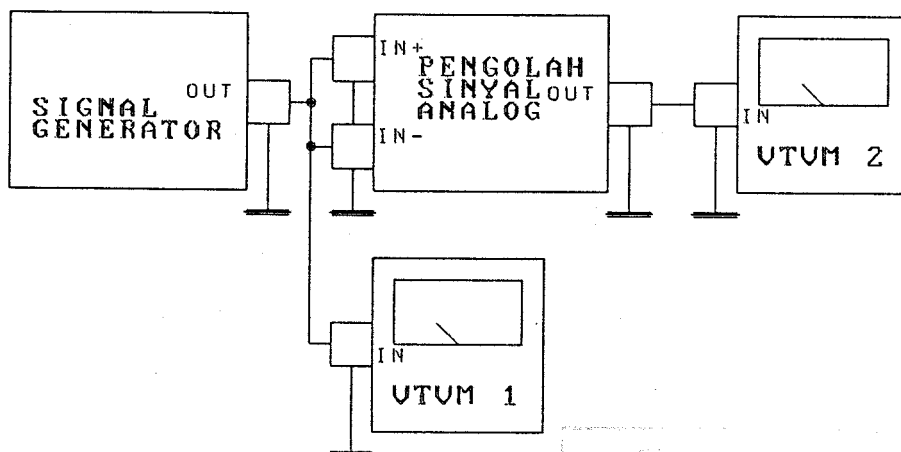
Gambar 4.2

#### PENGUKURAN NOISE MODUL PENGOLAH SINYAL ANALOG

Pengukuran CMRR dilakukan dengan memberi sinyal sinus yang sama pada kedua inputnya dan diamati tegangan outputnya dengan menggunakan osiloskop. Dengan kalibrasi pada tahanan pengatur CMRR hasil terbaik yang diperoleh adalah sebagai berikut. Pada penguatan 1000, frekuensi 1 KHz, tegangan

input 10 mVpp diperoleh tegangan output 10 mVpp. Karena dengan tegangan input dan penguatan sebesar ini tegangan output dapat mencapai 10 Vpp, maka CMRR-nya adalah  $10 \text{ Vpp}/10 \text{ mVpp} = 1000$ .

Pengukuran bandwidth dilakukan pada penguatan maksimumnya. Sinyal sinus dimasukkan pada inputnya dan frekuensinya dinaikkan sampai tegangan output turun 0,707 kali tegangan nominalnya. Dari pengukuran ini diperoleh frekuensi cut-off rangkaian pada 23 KHz. Frekuensi ini terutama ditentukan oleh gain-bandwidth product dari op-amp yang digunakan.



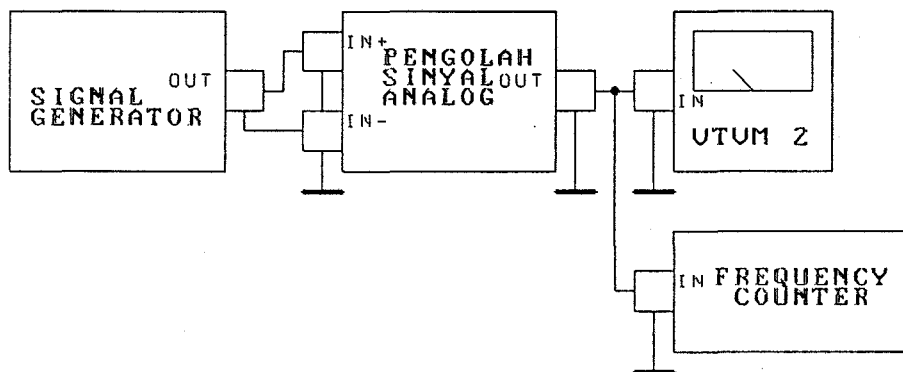
Gambar 4.3

PENGUKURAN CMRR MODUL PENGOLAH SINYAL ANALOG

#### IV.2.2 PENGUKURAN DAN KALIBRASI CARD ADC

Pengukuran karakteristik ADC yang paling mudah dilakukan adalah dengan pengukuran linieritas ADC. Untuk melaksanakan hal ini sebuah tegangan

referensi dimasukkan ke input ADC, dan tegangan output ADC ditampilkan dalam layar monitor komputer. Tegangan input diamati dengan menggunakan voltmeter digital presisi tinggi dan dibandingkan dengan output ADC yang telah diolah dengan perangkat lunak sehingga dapat ditampilkan dalam bentuk tegangan. Pengukuran dilakukan dua kali, yaitu pertama untuk seluruh jangkauan tegangan ADC dengan mengambil 9 titik tegangan dan kedua dilakukan dalam step tegangan 1 LSB, 8 titik diatas 0 dan 8 titik dibawah 0. Sebelum dilakukan pengukuran, offset dan penguatan ADC dikalibrasi dengan cara seperti dijelaskan pada bab 2. Dari tabel terlihat bahwa kesalahan yang terjadi tidak melebihi 2,4 mV (1 LSB).

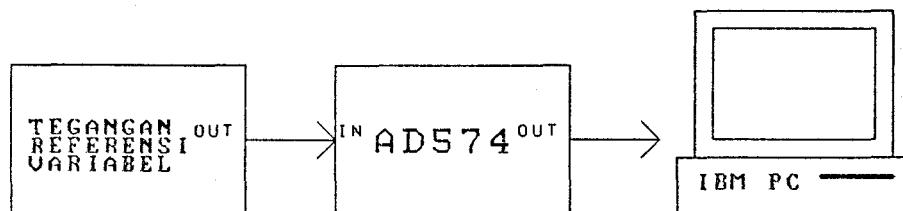


Gambar 4.4

#### PENGUKURAN BANDWIDTH MODUL PENGOLAH SINYAL ANALOG

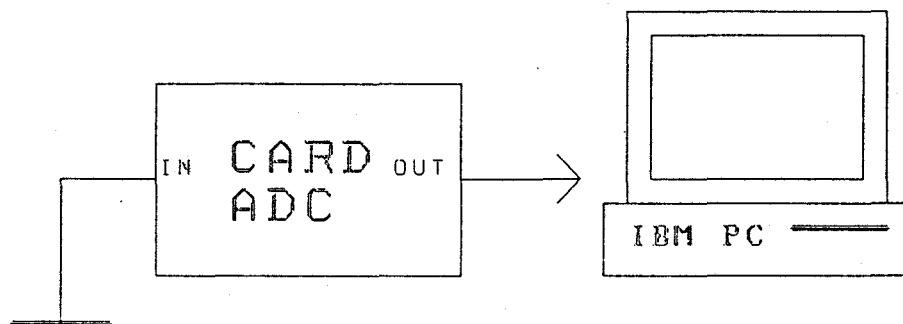
Pengukuran noise dan offset rangkaian pada card ADC dilakukan pada kondisi input analognya dihubungkan ke ground. Kemudian dengan program bantu

diamati hasil konversi ADC. Dari pengukuran ini diperoleh tegangan noise maksimum 3 mVpp dan offset 2 mV.



Gambar 4.5

PENGUKURAN LINIERITAS ADC



Gambar 4.6

PENGUKURAN NOISE DAN OFFSET CARD ADC



Tabel 4.1

## HASIL PENGUKURAN ADC (I)

tegangan input ADC (mV)	output ADC (mV)	selisih (mV)
-5000,0	-5000,0	0,0
-4500,0	-4501,9	1,9
-4000,0	-4008,8	8,4
-3500,0	-3508,3	8,3
-3000,0	-3003,0	3,0
-2500,0	-2500,0	0,0
-2000,0	-2006,8	6,8
-1500,0	-1501,5	1,5
-1000,0	-1008,3	8,3
-500,0	-500,5	0,5
0,0	2,4	2,4
500,0	498,1	-1,9
1000,0	1005,7	5,7
1500,0	1504,0	4,0
2000,0	2004,4	4,4
2500,0	2504,5	4,5
3000,0	2995,6	-4,4
3500,0	3497,0	-3,0
4000,0	4008,8	8,8
4500,0	4499,5	-0,5
5000,0	4996,6	-3,6

## **BAB V**

### **PENUTUP**

#### **V.1 KESIMPULAN**

Dari pembahasan-pembahasan dan hasil pengujian sebelumnya diambil kesimpulan sebagai berikut:

1. Penggunaan ADC AD574 sangat cocok untuk data acquisition real time karena ADC ini mampu beroperasi dengan mode stand alone yang meminimalkan waktu overhead komputer.
2. Dari hasil pengukuran dapat disimpulkan bahwa ADC AD574 mempunyai error yang kecil sehingga cocok untuk sistem data acquisition yang memerlukan ketelitian tinggi.
3. Nilai batas atas dari sampling rate terutama ditentukan oleh kecepatan komputer yang digunakan untuk mengolah data.
4. Cara yang tercepat untuk mengirimkan sejumlah data tertentu ke komputer adalah dengan menggunakan Direct Memory Access.

#### **V.2 SARAN-SARAN**

Untuk lebih mengoptimalkan perangkat keras sistem data acquisition yang ada dapat dilakukan melalui perbaikan pada perangkat lunaknya. Program yang ada dapat dikembangkan lebih lanjut, terutama dalam hal pengolahan datanya.

## DAFTAR PUSTAKA

1. Barry B. Brey, *The Intel Microprocessors 8086/8088, 80186, 80286, and 80486 Architecture, Programming, and Interfacing*, 2nd ed., Macmillan Publishing Company., 866 Third Avenue, New York., 1987.
2. Coffron, James W., *Practical Hardware Detail For 8080, 8085, Z80, and 6800 Microrposesor System*, New Jersey, Practice Hall Inc., 1981.
3. Coffron, James W., *Z80 Application*, Sybex Inc., 1983.
4. Eggebrecht, Lewis C., *Interfacing to The IBM Personal Computer*, Howard W. Sams & Co., Indianapolis, 1983.
5. Gayakwad, Ramakant A., *Op-Amp & Linier Integrated Circuites*, Prentice Hall of India, New Delhi, 1988.
6. John Uffenbeck, *The 8086/8088 Family: Design, Programming, And Interfacing*,.
7. Hall, Douglas V., *Microprocessor And Interfacing*, Second Edition, McGraw Hill Book Co., Japan, 1983.
8. Rudi Sujanto., *Pengantar Pemrograman Grafics dengan Turbo Pascal versi 5.0*. Cetakan kedua Maret 1991, PT Elex Media komputindo, Jakarta, 1991.
9. Sheingold. Daniel H., *Analog-Digital Conversion Handbook*, Prentice Hall, USA, 1986.
10. Webster Jehn G., *Medical Instrumentation Application & Design*, Houghton Mifflin Company, Boston, 1978.

11. ...., *Data-acquisition Databook 1982*, Volume I: Integrated Circuited, Analog Devices, inc., 1982.
12. ...., *Linier Data Book 2*, Nasional Semiconductor Corporation, 1988.
13. ...., *Cmos Databook*, Nasional Semiconductor Corporation, 1984.
14. ...., *Microsystem Component Handbook - Microprosesor Volume 1*, Intel co., 1985.
15. ...., *Personal Computer XT System - Technical Reference*, Personal Computer XT Hardware Reference Library.

# **BAB I**

## **PENDAHULUAN**

### **I.1 LATAR BELAKANG**

Dengan meningkatnya laju perkembangan teknologi khususnya dibidang elektronika dewasa ini maka akan sangat bermanfaat pada bidang medika dimana alat yang masih menggunakan ketepatan secara mekanik dapat digantikan dengan alat yang dapat mendeteksi secara digital sehingga efisiensi terhadap waktu, maupun ketepatan pengukuran dapat lebih diandalkan. Dengan alat yang direncanakan diharapkan data yang diperoleh dapat disimpan, dicetak maupun ditampilkan pada layar komputer.

### **I.2 PERMASALAHAN**

Sistem data acquisition yang berbasis mikrocomputer, ada beberapa tahapan yang dapat dikerjakan. Adapun tahapan-tahapan tersebut antara lain:

1. Membaca data dari sensor/transduser.
2. Menganalisa dan mentransformasikan data.
3. Menyimpan data dalam bentuk permanen.
4. Menampilkan data-data hasil.
5. Mencetak data-data hasil.

Dari beberapa tahapan yang dapat dikerjakan diatas, untuk memfungsikannya agar diperoleh hasil yang sesuai dengan keperluan, maka diperlukan Sistem Hardware dan Software yang sesuai dengan spesifikasi yang diperlukan. Komponen

Hardware terdiri dari penguat sinyal analog yang terdiri dari penguat instrumen, penguat, penambah tegangan offset, low pass filter dan rangkaian proteksi. Sedangkan rangkaian pengolah analog ke digital terdiri dari PIT sebagai base counter, amultivibrator dan sample and hold. Rangkaian untuk DMA hanya memberikan decoding yang akan dijelaskan kemudian.

### **I.3 PEMBATASAN MASALAH**

Sistem Data Acquisition sangat tergantung pada hardware dan software yang digunakan untuk mengaplikasikan agar diperoleh sesuai dengan yang diperlukan. Dalam tugas akhir ini dibatasi hanya pada bagian pengambilan data sampai 8 channel input dan transfer datanya ke komputer IBM PC-XT. Bagian pengambilan data direncanakan cukup fleksibel untuk dikembangkan lebih lanjut. Untuk memperlihatkan unjuk kerja dari peralatan yang direncanakan digunakan Personal Komputer yang akan memperlihatkan hasil pengolahan data baik ditampilkan pada layar, printer maupun dalam bentuk disimpan pada unit penyimpanan.

### **I.4 TUJUAN**

Dalam tugas akhir ini direncanakan pembuatan bagian pengambilan data. Pengambilan data analog kemudian mengubahnya ke bentuk digital, ini disebut data acquisition. Parameter yang ditekankan dalam perencanaan data acquisition adalah ketekitian yang tinggi dan kecepatan data/sampling rate yang disesuaikan untuk sebagian besar penggunaan.

## I.5 METODOLOGI

Metodologi untuk pembuatan tugas akhir ini adalah sebagai berikut: Mula-mula dilakukan studi literatur mengenai system DMA (*Direct Memory Access*) yaitu transfer data tanpa melalui MPU 8088 pada komputer IBM PC-XT baik cara pemakaiannya secara software maupun hardware. Karena inti DMA Controler pada IBM PC-XT adalah IC 8237-5, maka yang merupakan bahan pokok studi literatur adalah IC ini. Studi literatur tentang data aquisition diperlukan untuk mempelajari cara-cara pengambilan data analog yang kemudian diubah ke data digital. Ketelitian dan sampling rate disesuaikan dengan kebutuhan. Selanjutnya dilakukan studi tentang komponen yang dapat memenuhi kriteria-kriteria yang telah ditentukan. Kriteria ini dapat mengalami sedikit perubahan disesuaikan dengan karakteristik komponen yang ada. Langkah berikutnya adalah sisain rangkaian, dimulai dari blok diagram, kemudian rangakain lengkap dan disain PCB. Setelah rangkaian ini dirakit, dilakukan pengujian tiap-tiap bagian dan pengujian setelah semua bagian digabungkan. Pengukuran dilakukan setelah semua bagian bekerja. Pengukuran ini dilakukan per bagian dan keseluruhan sistem.

## I.6 SISTEMATIKA PEMBAHASAN

Sistematika pembahasan dalam tugas akhir ini adalah sebagai berikut:

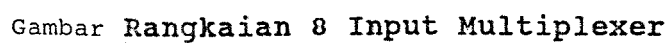
BAB I merupakan bab pendahuluan yang didalamnya berisi latar belakang, permasalahan, tujuan, pembatasan masalah, metodologi, sistematika, dan relevansi dari tugas akhir ini.

- BAB II menjelaskan tentang teori data aquisition, komponen-komponen pendukung, konverter analog ke digital (ADC), uraian pemakaian DMA secara sofware dan hardware, teknik interfacing pada IBM PC-XT.
- BAB III menjelaskan tentang perencanaan konfigurasi sistem dan hardware dan sofware.
- BAB IV menjelaskan tentang hasil pengujian dan pengukuran.
- BAB V merupakan bab penutup yang berisi kesimpulan dan saran-saran dari tugas akhir ini.

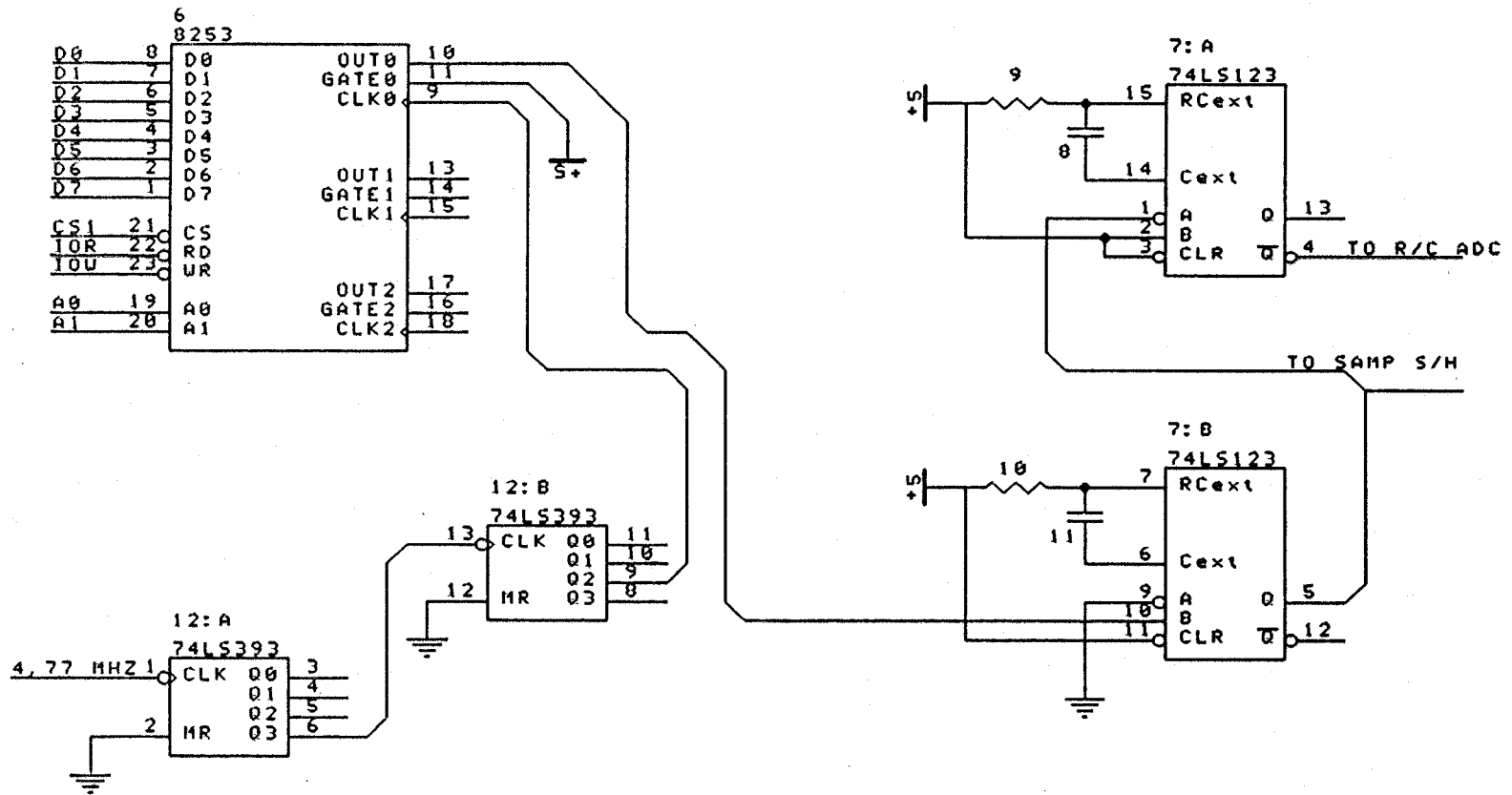
## **I.7 RELEVANSI**

Peralatan hasil tugas ini diharapkan dapat diterapkan di :- penelitian, -laboratorium, -dan penerapan lainnya.

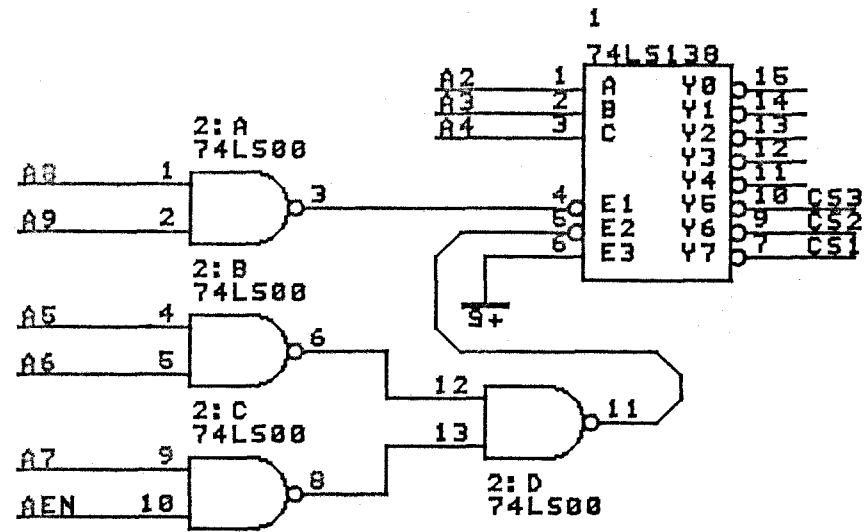




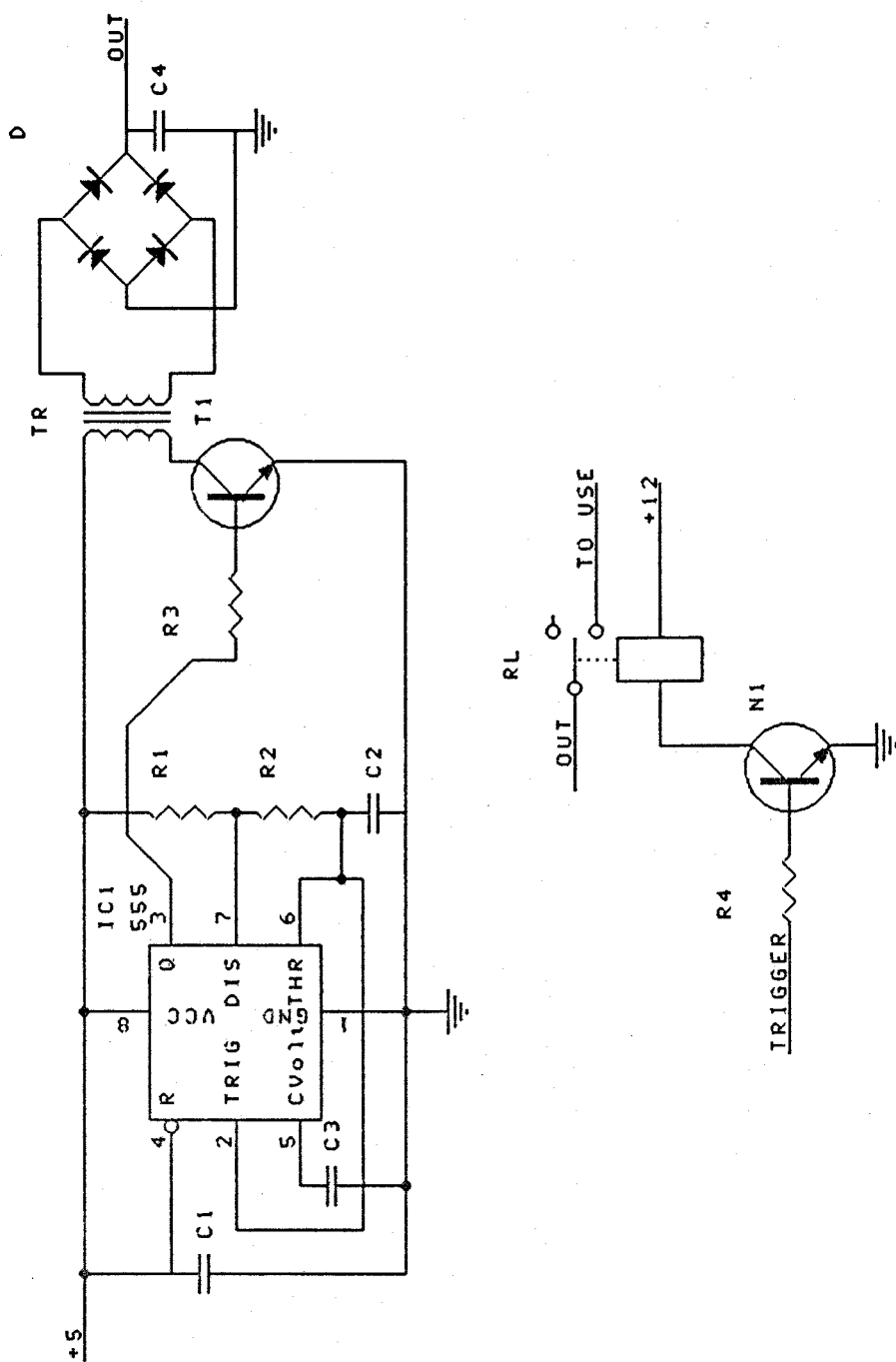
Gambar Rangkaian Timing



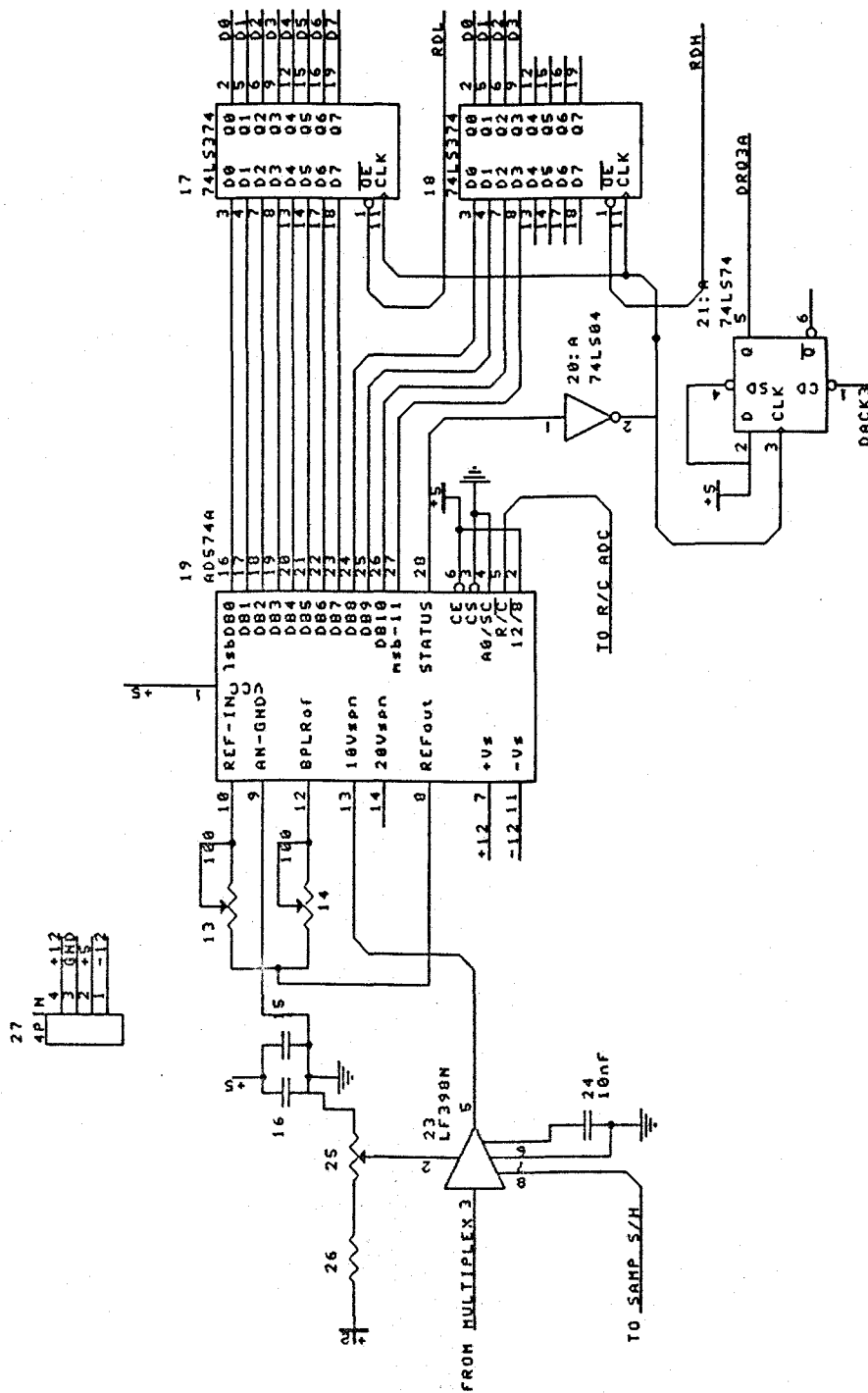
Gambar Rangkaian Decoder



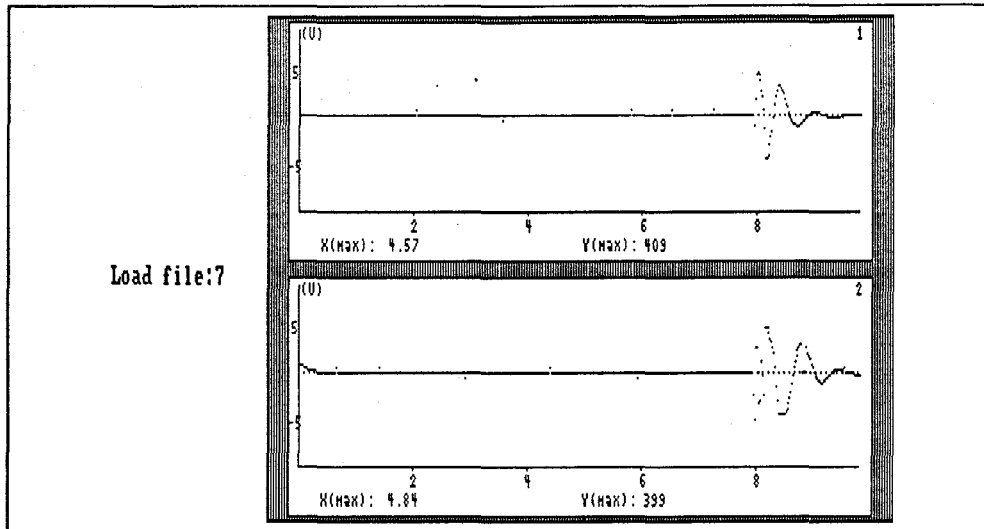
ALAMAT	CS1	31C	H
	CS2	318	H
	CS3	314	H



Gambar Rangkaian Stimulus



Gambar ADC dan Komponen Pendukungnya



Dimana diketahui :

Sampling rate = 18.633 kHz

Jarak antara 2 elektrode = 6 cm

Selisih puncak = 409 - 399 = 10

Sedangkan Kecepatan (V) = jarak/waktu

jadi :

$V = \text{jarak 2 elektrode} / (1/\text{sampling rate} * \text{selisih puncak})$

$= \text{jarak 2 elektrode} * \text{sampling rate} / \text{selisih puncak}$

(karena ada 2 input yang diukur maka sampling rate/2)

$= (6 * 18.633) / (2 * 10) \text{ cm/dt}$

$= 111789 / 20$

$= 5589.45 \text{ cm/dt}$

$= 55.9 \text{ m/dt}$

(Ini sesuai dengan kecepatan hantar otot normal yaitu antara 40 - 60 m/dt)

## RIWAYAT HIDUP



Irit Mahajanto dilahirkan di Bondowoso pada tanggal 20 Maret 1969, putra ke dua dari 3 bersaudara dari Bapak Soekandar dan Ibu Riasih, yang bertempat tinggal di jalan Dr Soebandi Jember.

Terdaftar sebagai mahasiswa Institut Teknologi Sepuluh Nopember Surabaya pada tahun 1988 dengan nomer pokok 2882201051. Selama menjadi mahasiswa pernah menjadi asisten laboratorium Rangkaian Listrik, Elektronika, Mikroelektronika, teknik Elektro, FTI - ITS.

Pendidikan yang telah ditempuh sebelumnya :

- TK Tunas Ria di Bondowoso, tahun 1976
- SDN Kutakulon I di Bondowoso, tahun 1976 - 1979
- SDN Jember Lor IV di Jember, tahun 1979 - 1982
- SMPN I Jember, tahun 1982 - 1985
- SMAN I Jember, tahun 1985 - 1988

Diharapkan pada ujian sarjana Teknik Elektro, FTI - ITS pada periode Oktober 1994 dapat menyelesaikan studinya.

